Technologie CMOS a FPGA

Jan Kořenek

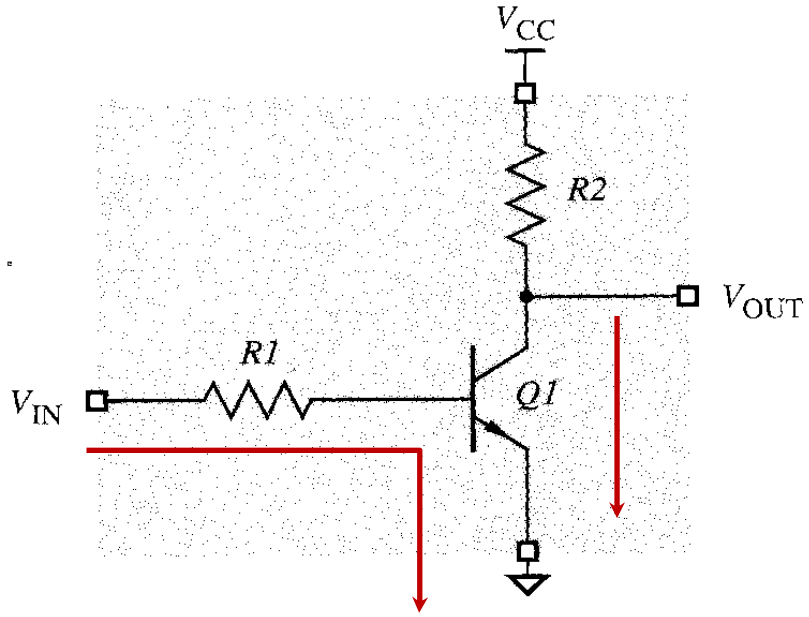
Brno University of Technology, Faculty of Information Technology
Božetěchova 1/2, 612 66 Brno - Královo Pole
korenek@fit.vutbr.cz

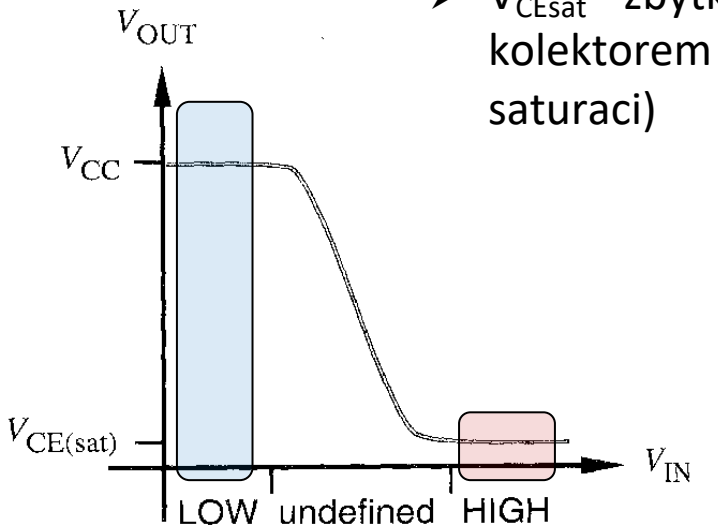
Cíle přednášky

- Seznámit se se základy technologie CMOS
  - Princip fungování a zapojení Invertoru a logických členů NAND a NOR v technologii CMOS na úrovni tranzistorů.
  - Ukázat si funkci dalších obvodů: třístavové budiče, přenosový člen a buffer.
  - Napěťové úrovně a převodní charakteristika logických členů.
- Definovat co způsobuje příkon v technologii CMOS
  - Pochopit co ovlivňuje dynamický příkon a jakým způsobem se dá redukovat.
  - Vliv napájecího napětí na příkon a zpoždění obvodu (DVFS).
- Seznámit se se způsobem programování obvodů PLA a PAL a znát vlastnosti těchto obvodů
- Pochopit vlastnosti technologií ASIC a FPGA z pohledu výkonnosti a flexibility
- Seznámit se se strukturou technologie FPGA
  - Způsoby práce s funkčním generátorem: RAM, posuvný registr nebo LUT.
  - Možné realizace paměti v rámci FPGA

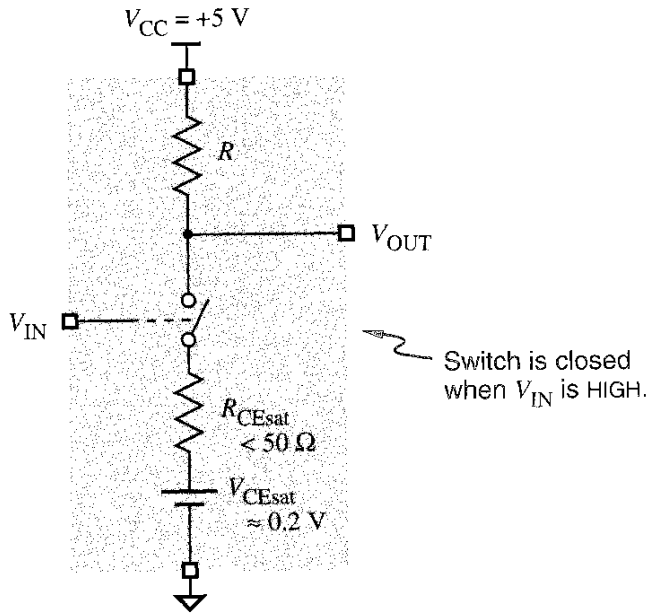
- ***Technologie CMOS***
- Příkon v technologii CMOS
- Programovatelné struktury (PLD)
- Technologie FPGA

- Schéma invertoru pomocí bipolárního transistoru:
  - V bázi musí být rezistor R1 omezující proud
  - Přídavný rezistor R2 na kolektoru (pull-up)





- Náhradní schéma tranzistoru jako spínače
  - R - přídavný rezistor (pull-up)
  - R_{CEsat} - odpor tranzistoru mezi kolektorem a emitorem při jeho plném otevření (v saturaci)
  - V_{CEsat} - zbytkové napětí tranzistoru mezi kolektorem a emitorem při jeho plném otevření (v saturaci)



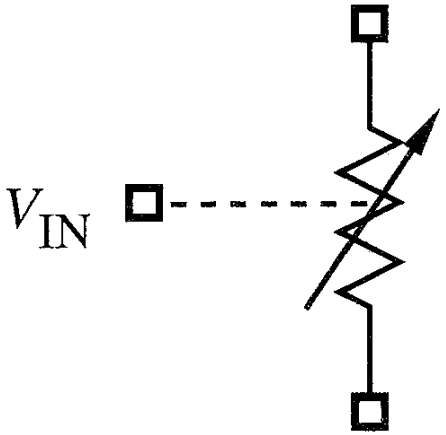
1963: První CPU z IO
(použito pro řízení Apollo)

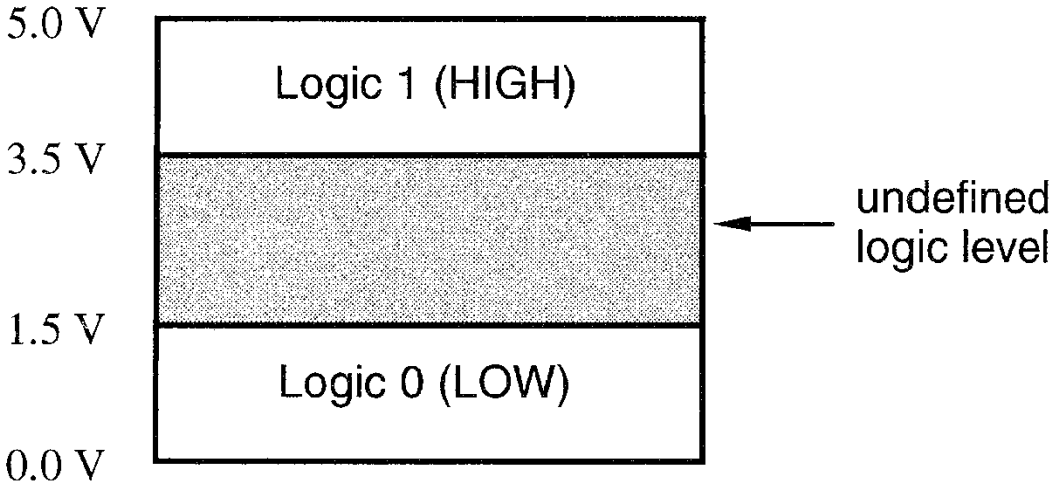
Technologie	Příkon	Rychlost
Resistor-Transistor Logic (RTL)	***	*
Diode-Transistor Logic (DTL)	***	*
Transistor-Transistor Logic (TTL)	**	**
Emitter-Coupled Logic (ECL)	***	***
Positive Metal Oxide Semiconductor (pMOS)	**	*
Negative Metal Oxide Semiconductor (nMOS)	**	**
Complementary Metal Oxide Semiconductor (CMOS)	*	**
Gallium Arsenide (GaAs)	***	***

První technologie CMOS vyvinuta již v roce 1970

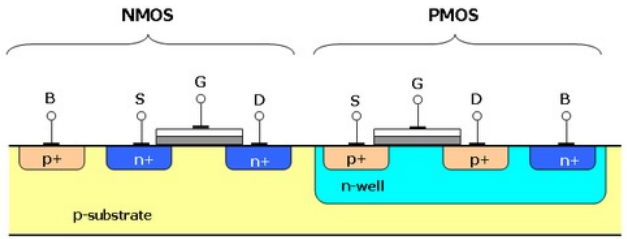
Díky svým vlastnostem dnes velmi používaná technologie

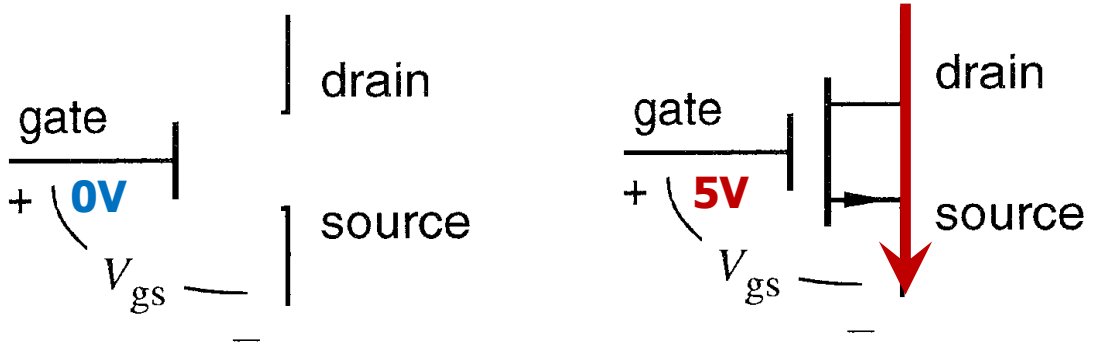
- Název vychází ze zkratek
  - ***MOSFET*** zkratka vychází z ***Metal-Oxide Semiconductor Field Effect Transistor***, zkráceně se také označuje pouze MOS
  - ***CMOS*** je zkráceným názvem ***Complementary MOS***
- Základem je MOSFET tranzistor, který pracuje jako „rezistor řízený napětím"
- Logické úrovně typického CMOS obvodu
  - HIGH (logická 1) odpovídá úrovni napětí V_{IN} v rozsahu 3,5V až 5V
  - LOW (logická 0) odpovídá úrovni napětí V_{IN} v rozsahu 0V až 1,5V

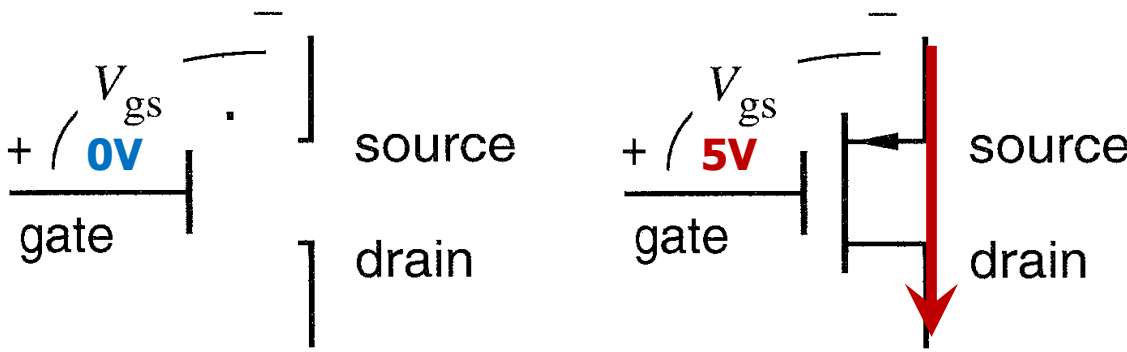




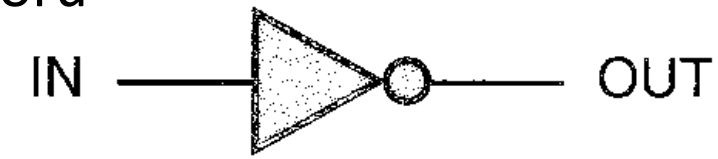
- „Gate” - řídicí elektroda
  - Napětí mezi elektrodami gate a source ovládá činnost tranzistoru (sepnutý nebo rozepnutý stav)
- ***Tranzistor MOS s kanálem n***
  - Elektroda drain je připojena na vyšší napětí než source
  - Pro V_{gs}=0 má přechodový odpor mezi drain a source (R_{ds}) desítky MΩ
  - Pro V_{gs} vyšší než prahová úroveň má Rds jednotky Ω
- ***Tranzistor MOS s kanálem p***
  - Elektroda source je na vyšším napětí než drain
  - Pro V_{gs}=0V má přechodový odpor mezi drain a source (R_{ds}) desítky MΩ
  - Pro V_{gs} vyšší než prahová úroveň má Rds jednotky Ω

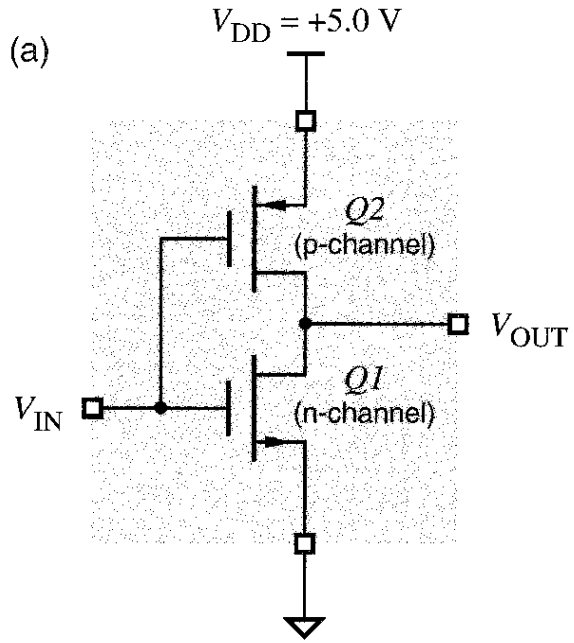






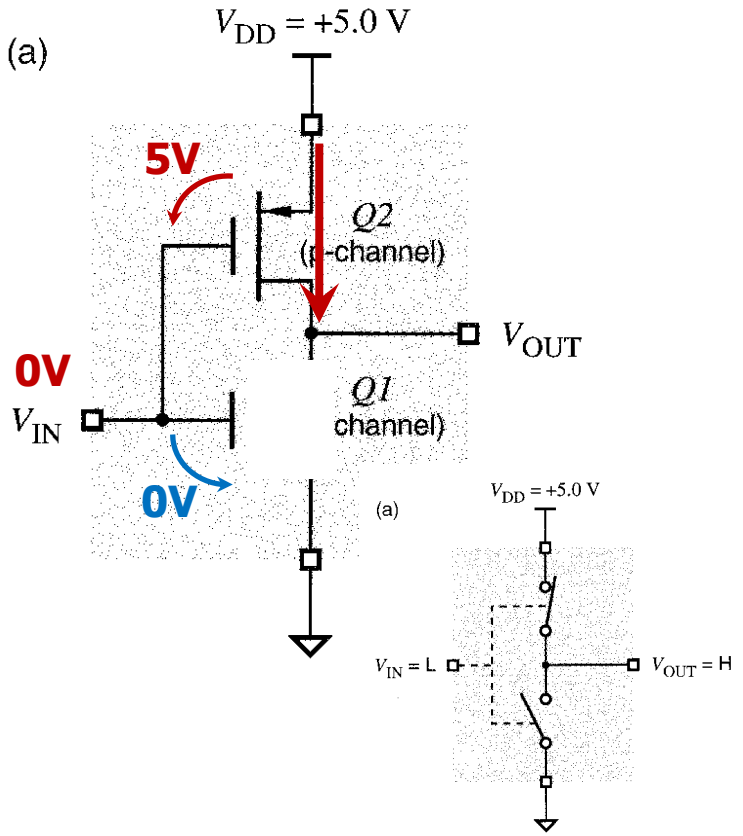
- CMOS Invertor je sestaven ze dvou komplementárních tranzistorů MOSFET, z nichž vždy jeden je sepnut a druhý rozepnut



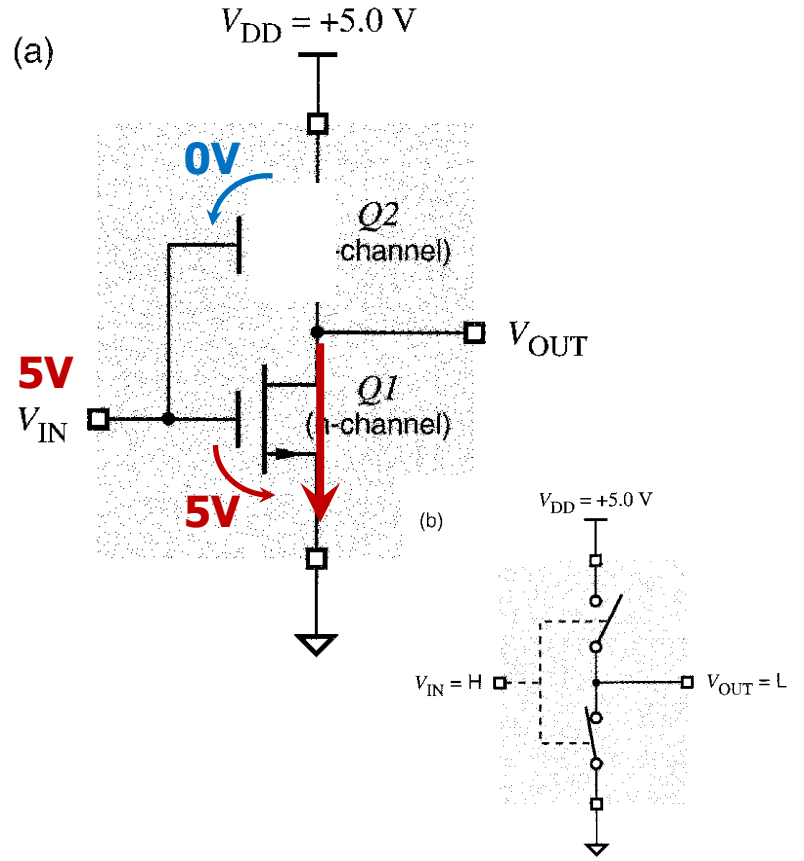


V_{IN}	Q1	Q2	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)

V_{IN} = Low (0 --> 1)

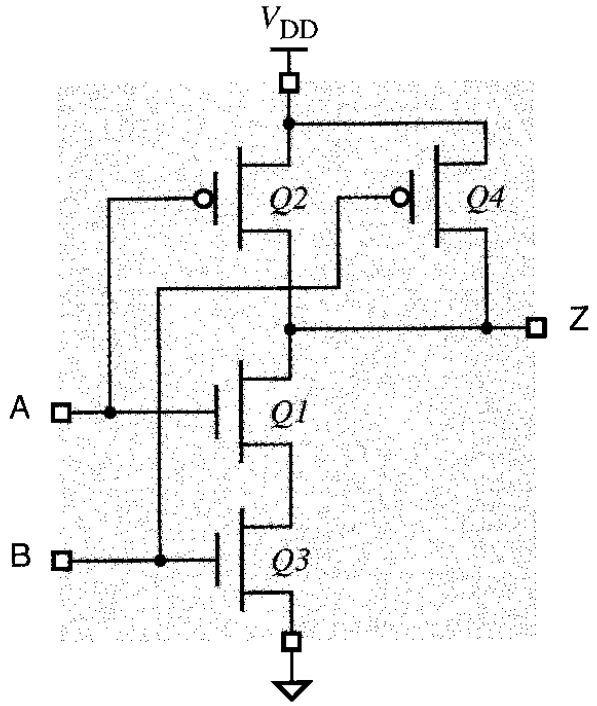


V_{IN} = Low (1 --> 0)



- Realizace dvou-vstupého hradla NAND pomocí čtyř komplementárních tranzistorů MOSFET

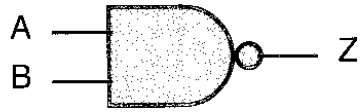
(a)



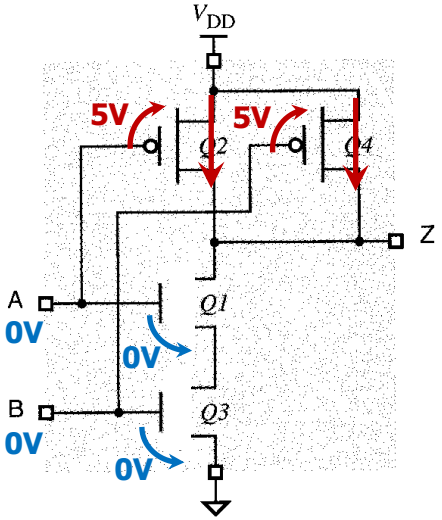
(b)

A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L

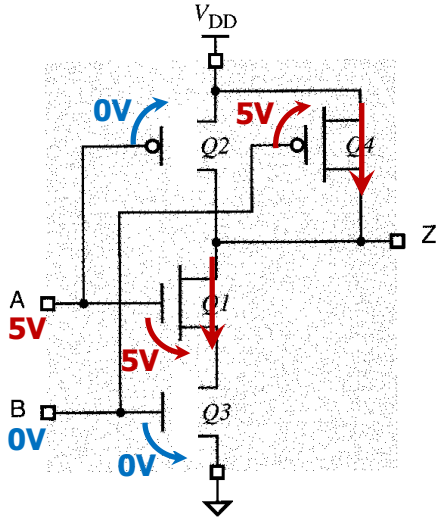
(c)



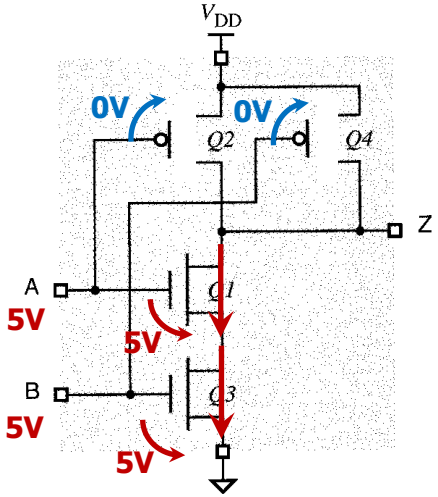
A = 0 (Low), B= 0 (Low)



A = 1 (High), B= 0 (Low)

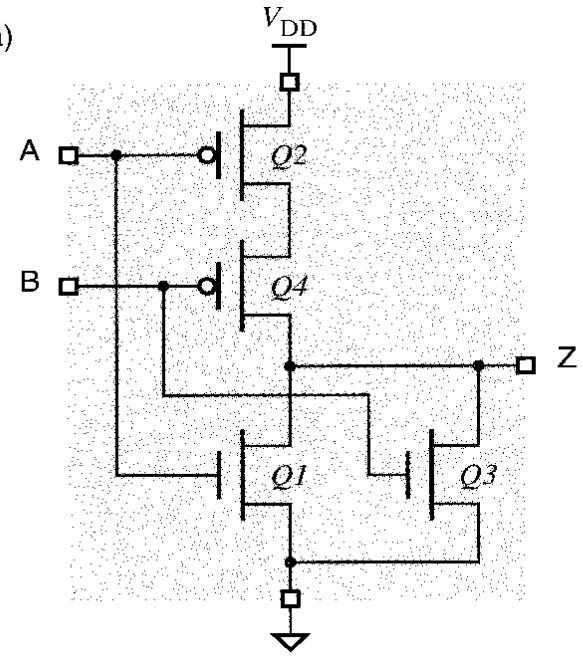


A = 1 (High), B= 1 (High)



- Realizace dvou-vstupého hradla NOR pomocí čtyř komplementárních tranzistorů MOSFET

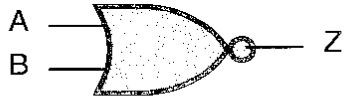
(a)



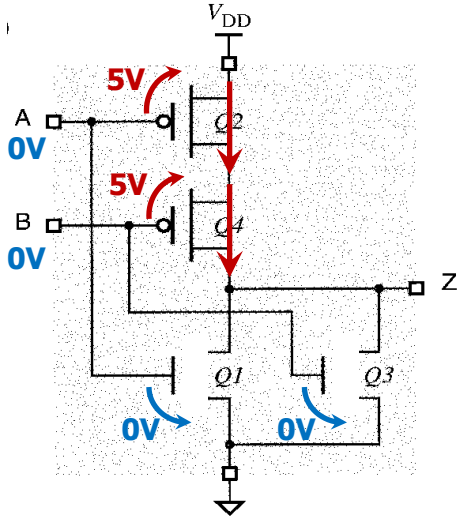
(b)

A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L

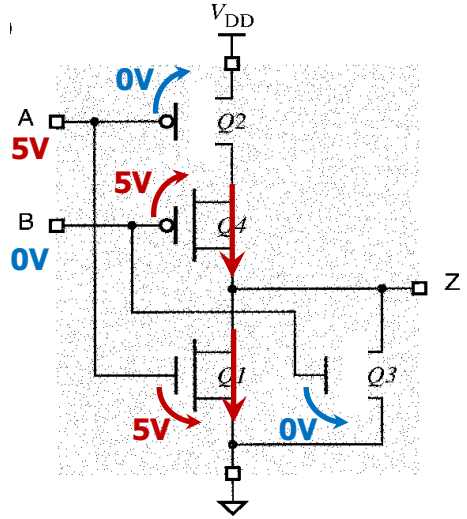
(c)



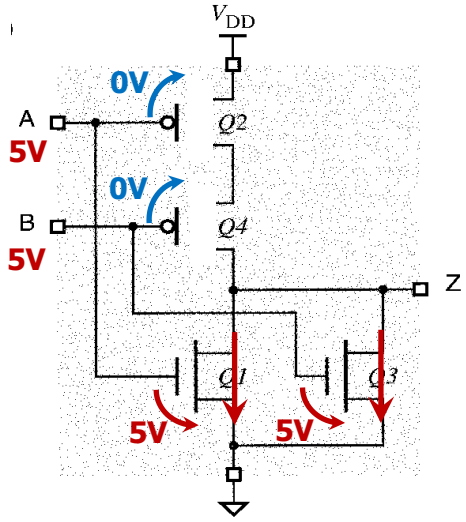
A = 0 (Low), B= 0 (Low)



A = 1 (High), B= 0 (Low)

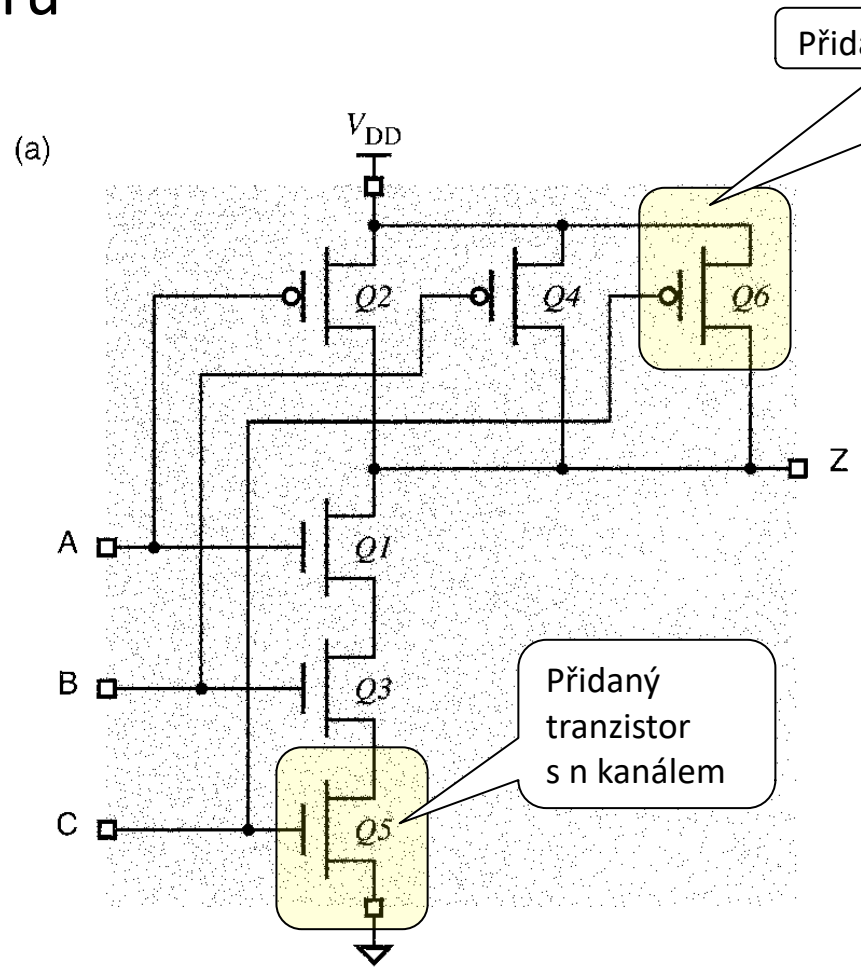


A = 1 (High), B= 1 (High)



- Hradlo CMOS NOR je pomalejší než hradlo CMOS NAND, neboť při stejných rozměrech mají tranzistory s p-kanálem větší přechodový odpor v otevřeném stavu
- Pokud jsou tedy tranzistory s p-kanálem (Q2 a Q4) řazeny v sérii, budou mít pomalejší odezvu díky pomalejšímu nabíjení parazitních kapacit

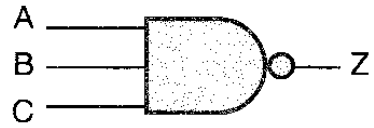
- Větší počet vstupů je možné realizovat přidáním dalších dvojic komplementárních tranzistorů



(b)

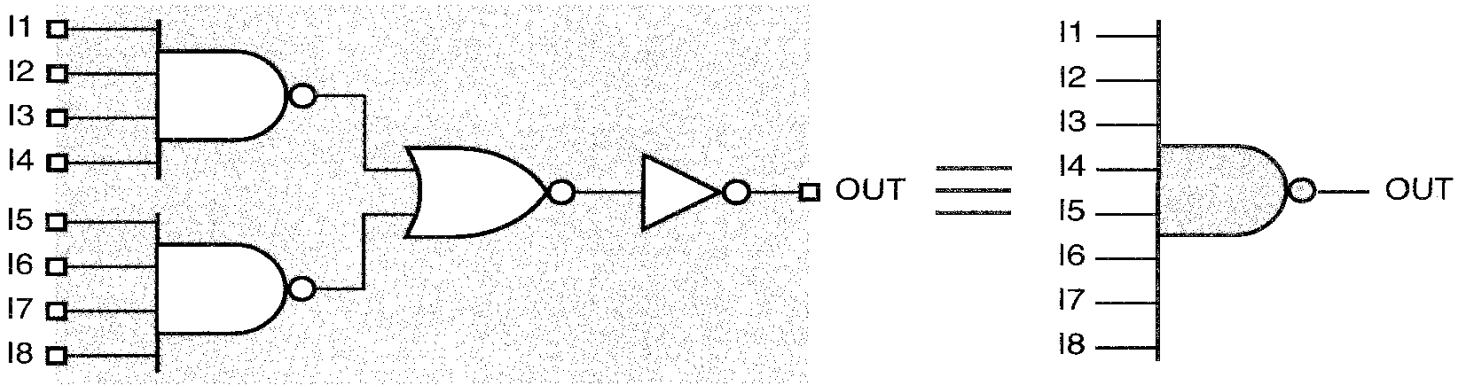
A	B	C	*Q1*	*Q2*	*Q3*	*Q4*	*Q5*	*Q6*	Z
L	L	L	off	on	off	on	off	on	H
L	L	H	off	on	off	on	on	off	H
L	H	L	off	on	on	off	off	on	H
L	H	H	off	on	on	off	on	off	H
H	L	L	on	off	off	on	off	on	H
H	L	H	on	off	off	on	on	off	H
H	H	L	on	off	on	off	off	on	H
H	H	H	on	off	on	off	on	off	L

(c)

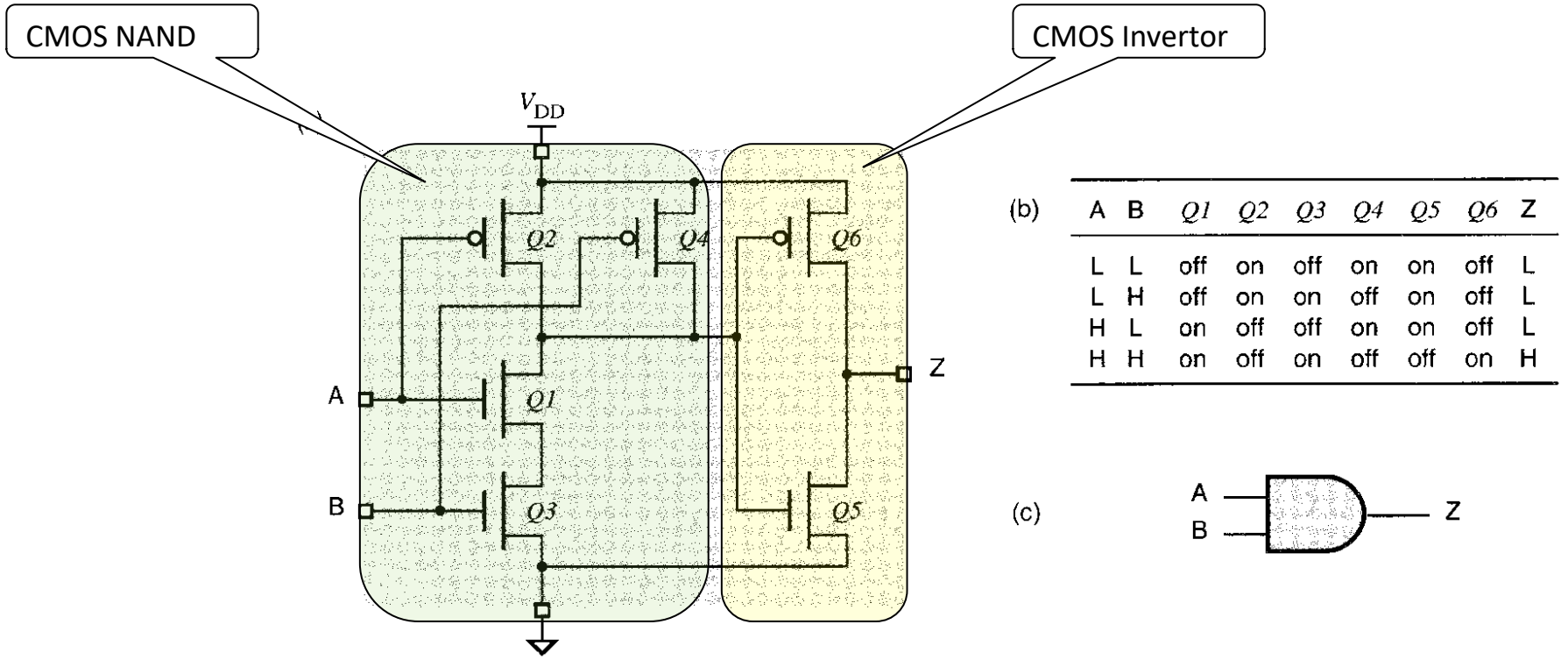


Technologie CMOS: Počet vstupů hradel

- Teoreticky je možno sestavovat log. členy s více vstupy pouhým řazením více tranzistorů MOSFET
  - Je nějak omezen počet vstupů logických členů? Jak? Kolik je maximální počet vstupů logických členů?
- Díky konečných přechodovým odporům a potřebné rychlostí odezvy je počet vstupů limitován výrobní technologií
  - U hradel NAND typicky na 6 vstupů
  - U hradel NOR typicky na 4 vstupy
- Pro každou výrobní technologií se udává parametr ***Fan-in***, který určuje maximální počet vstupů logického členu vyrobeného v dané technologií
- Větší množství vstupů se realizuje pomocí kaskády log. členů s méně vstupy



- Hradlo AND lze nejjednodušeji sestavit zařazením invertoru za hradlo NAND



(b)

A	B	Q1	Q2	Q3	Q4	Q5	Q6	Z
L	L	off	on	off	on	on	off	L
L	H	off	on	on	off	on	off	L
H	L	on	off	off	on	on	off	L
H	H	on	off	on	off	off	on	H

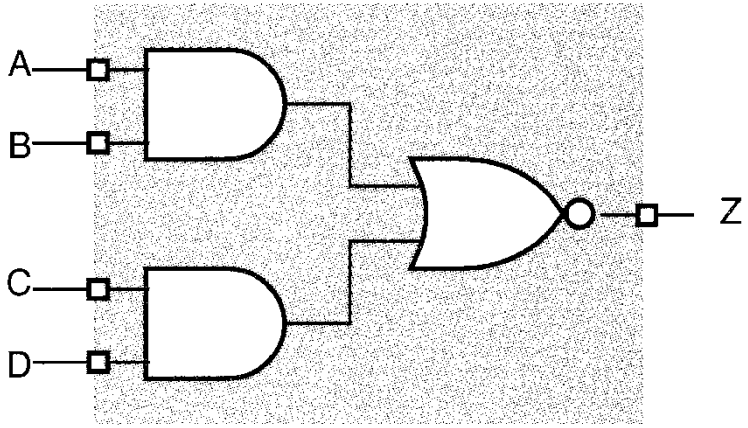
(c)

- Důsledek:
  - Složitější, dražší, větší zpoždění než NAND
  - častěji se vyrábějí invertující hradla (NAND a NOR) …

- Příklad implementace logických forem
  - V praxi se často využívají log. struktury, které realizují jistou formu disjunktivní či konjunktivní formy, a usnadňují tak implementaci kombinačních obvodů
  - Výhodou je skutečnost, že zpoždění těchto obvodů je podobné jako v případě členů NAND či NOR, i když realizují dvoustupňový logický obvod

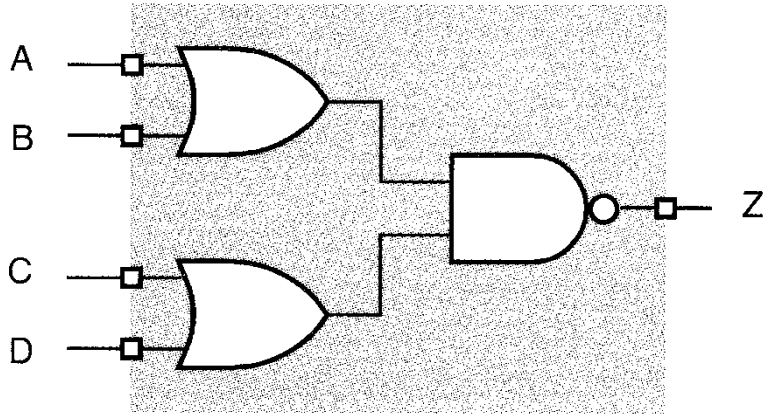
AND-OR-INVERT

- Disjunktivní forma s invertorem



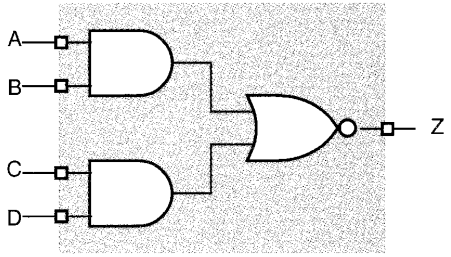
OR-AND-INVERT

- Konjunktivní forma s invertorem

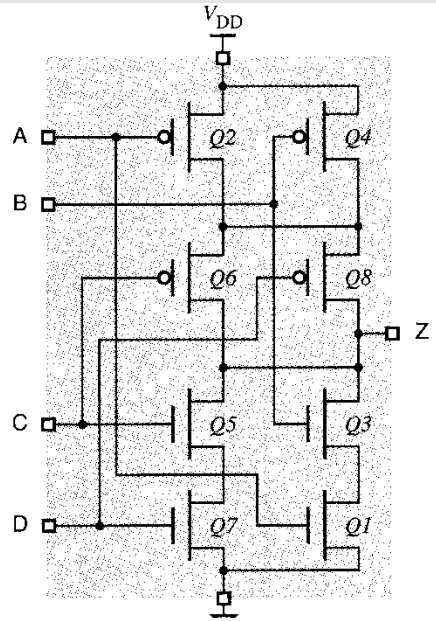


AND-OR-INVERT

(pouze 8 tranzistorů)



(a)

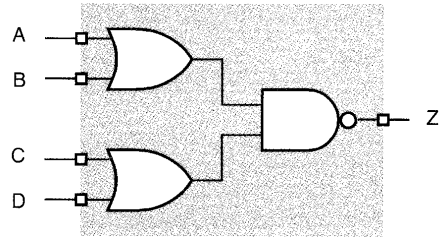


(b)

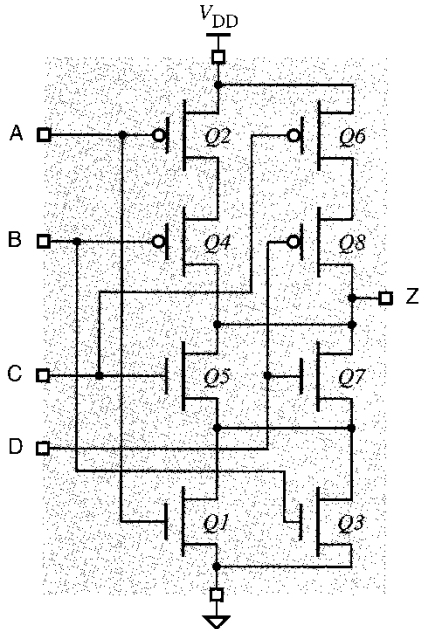
A	B	C	D	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Z
L	L	L	L	off	on	off	on	off	on	off	on	H
L	L	L	H	off	on	off	on	off	on	on	off	H
L	L	H	L	off	on	off	on	on	off	off	on	H
L	L	H	H	off	on	off	on	on	off	on	off	L
L	H	L	L	off	on	on	off	off	on	off	on	H
L	H	L	H	off	on	on	off	off	on	on	off	H
L	H	H	L	off	on	on	off	on	off	off	on	H
L	H	H	H	off	on	on	off	on	off	on	off	L
H	L	L	L	on	off	off	on	off	on	off	on	H
H	L	L	H	on	off	off	on	off	on	on	off	H
H	L	H	L	on	off	off	on	on	off	off	on	H
H	L	H	H	on	off	off	on	on	off	on	off	L
H	H	L	L	on	off	on	off	off	on	off	on	L
H	H	L	H	on	off	on	off	off	on	on	off	L
H	H	H	L	on	off	on	off	on	off	off	on	L
H	H	H	H	on	off	on	off	on	off	on	off	L

OR-AND-INVERT

(pouze 8 tranzistorů)



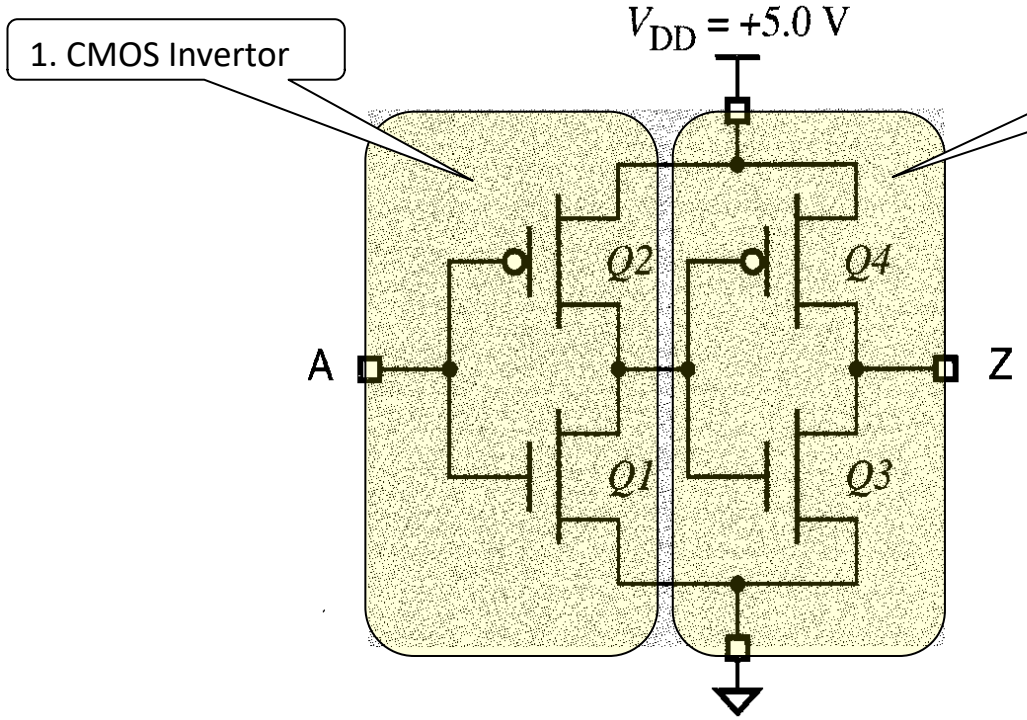
(a)



(b)

A	B	C	D	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Z
L	L	L	L	off	on	off	on	off	on	off	on	H
L	L	L	H	off	on	off	on	off	on	on	off	H
L	L	H	L	off	on	off	on	on	off	off	on	H
L	L	H	H	off	on	off	on	on	off	on	off	H
L	H	L	L	off	on	on	off	off	on	off	on	H
L	H	L	H	off	on	on	off	off	on	on	off	L
L	H	H	L	off	on	on	off	on	off	off	on	L
L	H	H	H	off	on	on	off	on	off	on	off	L
H	L	L	L	on	off	off	on	off	on	off	on	H
H	L	L	H	on	off	off	on	off	on	on	off	L
H	L	H	L	on	off	off	on	on	off	off	on	L
H	L	H	H	on	off	off	on	on	off	on	off	L
H	H	L	L	on	off	on	off	off	on	off	on	H
H	H	L	H	on	off	on	off	off	on	on	off	L
H	H	H	L	on	off	on	off	on	off	off	on	L
H	H	H	H	on	off	on	off	on	off	on	off	L

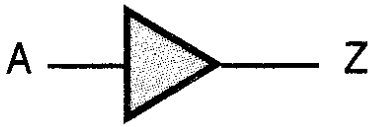
- Zařazením dvou invertorů za sebe vznikne tzv. buffer
  - Slouží pro distribuci signálu tam, kde je např. třeba obnovit integritu signálu, budit více vstupů následujících log. členů (hodinový signál), apod.



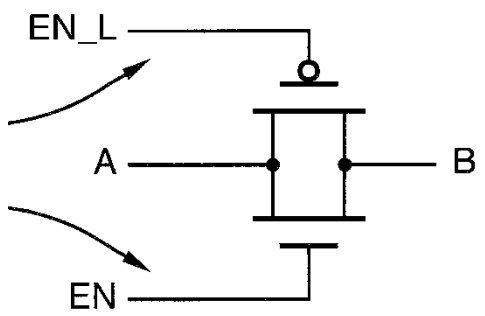
(b)

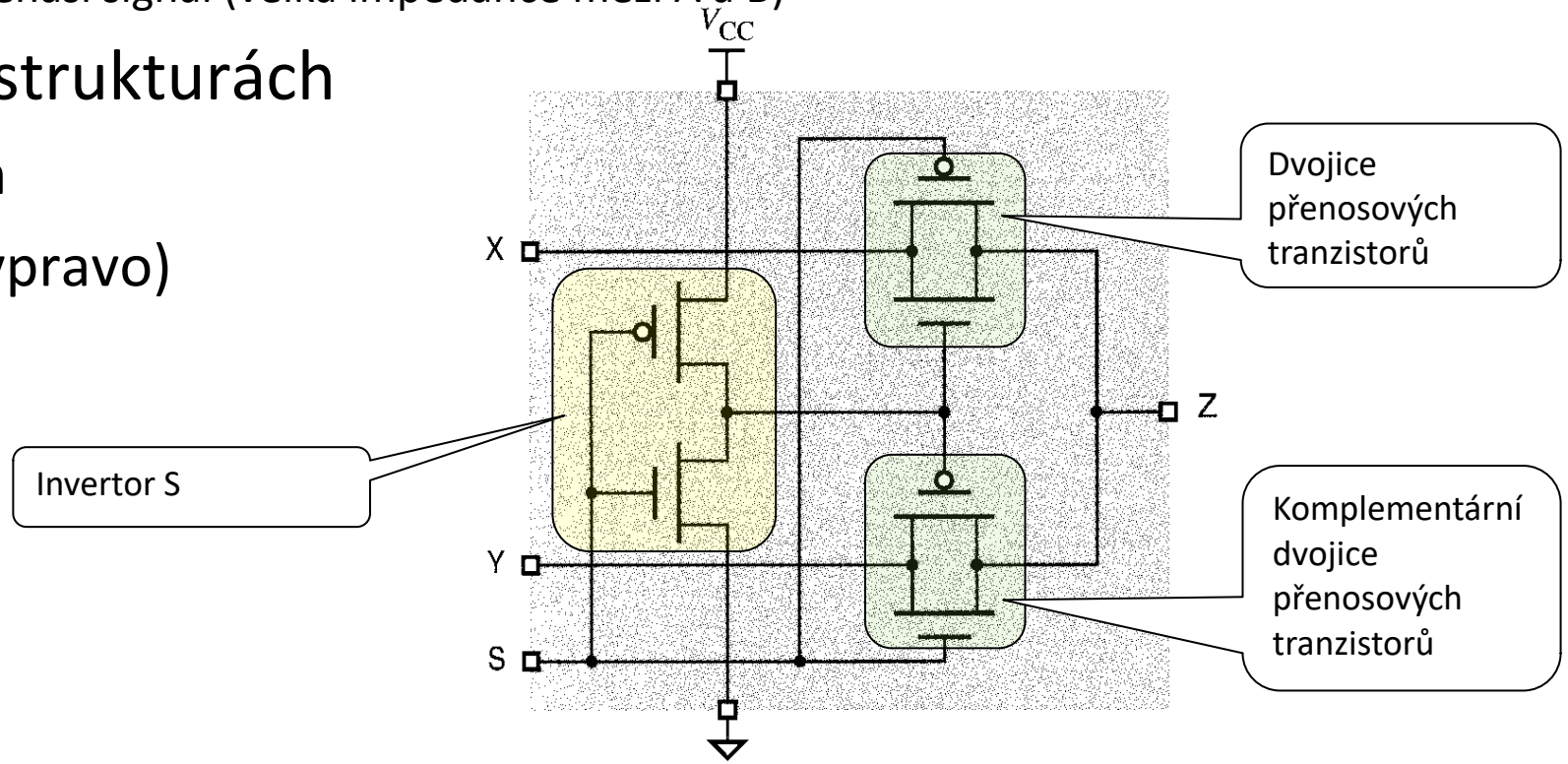
A	Q1	Q2	Q3	Q4	Z
L	off	on	on	off	L
H	on	off	off	on	H

(c)

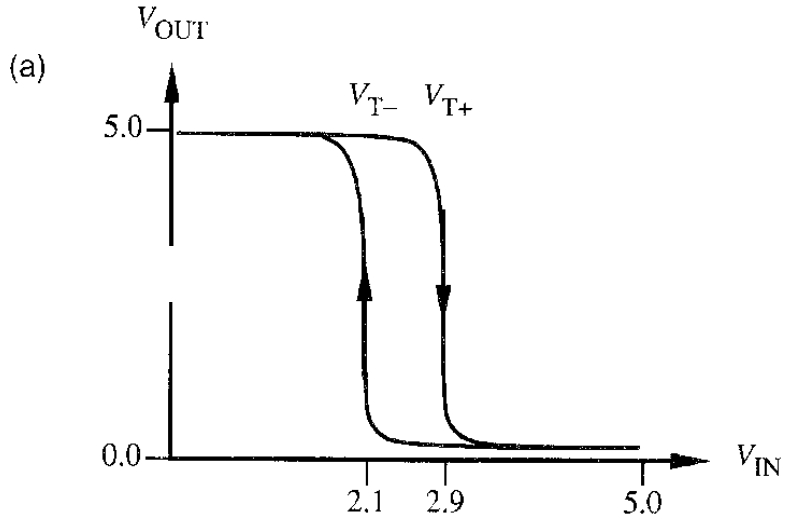


- Přenosový člen (anglicky „transmission gate'')
  - Funguje jako řízený spínač
  - Je sestaven z komplementárních tranzistorů
    - Oba jsou otevřeny – člen přenáší signál (malá impedance mezi A a B)
    - Oba jsou zavřeny – člen nepřenáší signál (velká impedance mezi A a B)
- Používá se v složitějších strukturách
  - Např. klopných obvodech
  - Multiplexorech (viz obr. vpravo)



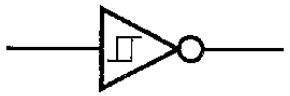


- Využívá vnitřní zpětné vazby pro posun prahových úrovní podle toho, do které úrovně přechází
  - L do H ... větší hodnota (např. 2,9 V)
  - H do L ... menší hodnota (např. 2,1 V)
- ***Tento jev nazýváme hysterezí***
  - Zlepšuje šumovou odolnost obvodů



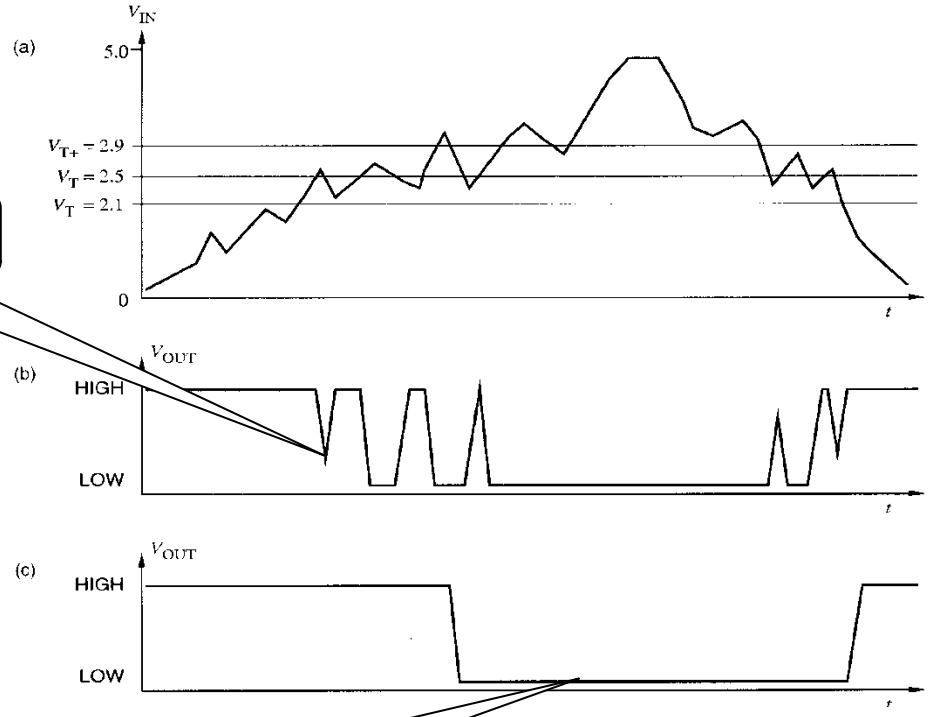
Přenosová charakteristika obvodu

(b)



Schématická značka

Časový diagram

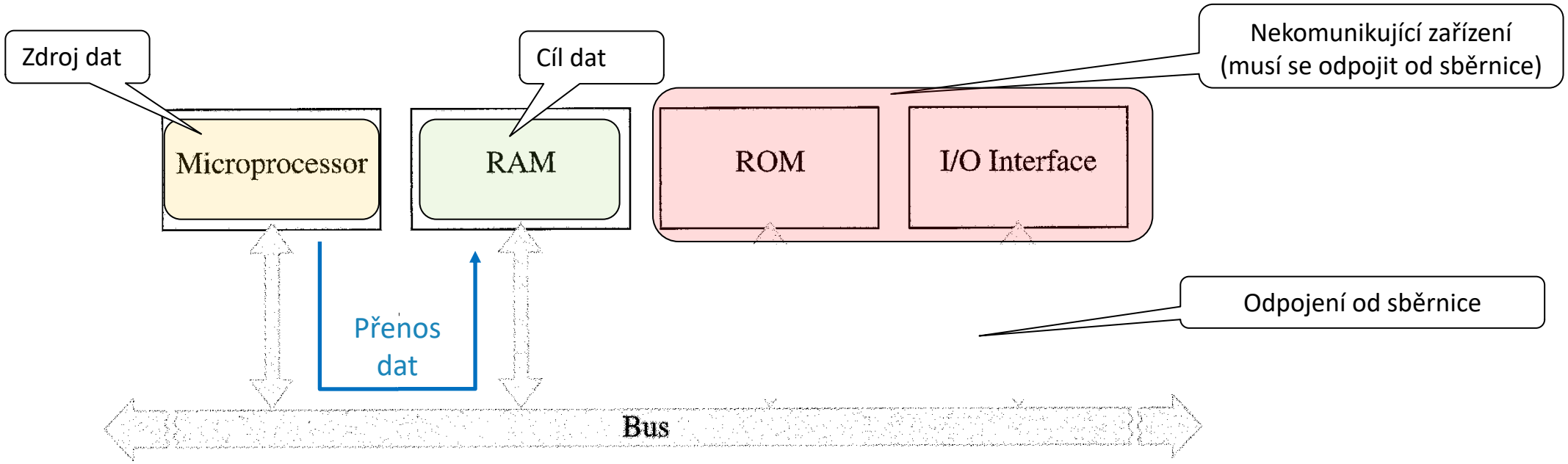


Eliminované zákmity

Hladký průběh způsobený hysterezí

Sběrnice s možností připojení a odpojení zařízení

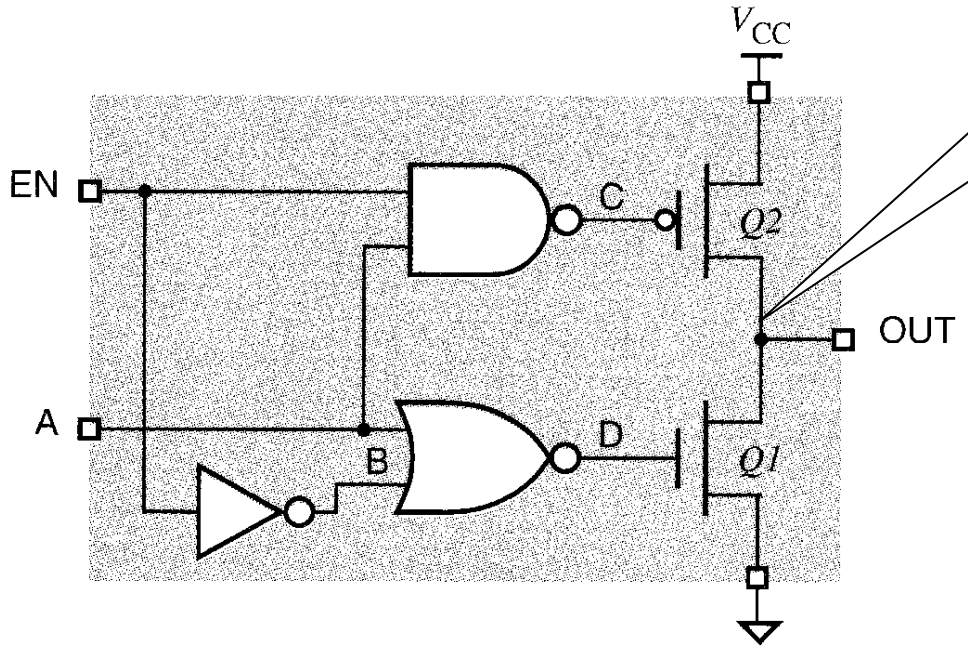
- Jednotlivé subsystémy typického počítače jsou propojeny sběrnicí
- V jednom okamžiku se přenáší data z jednoho zdroje do jednoho cíle - datové přenosy jsou přepínány v čase (pomalé)
- Výsledkem je zjednodušení propojovací infrastruktury



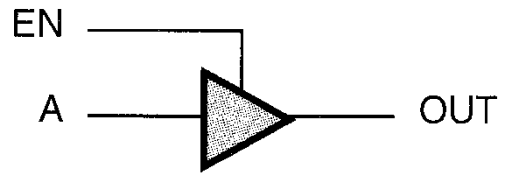
Pro připojování a odpojování od sběrnice potřebujeme třístavové budiče

- Anglicky „three-state buffer'' nebo „tri-state buffer''
  - Umožňuje odpojit výstup obvodu, dát výstup do stavu tzv. vysoké impedance („high impedance'', Z)
  - Obvod má tedy tři stavy – L, H a Z
  - Typicky se používá pro realizaci sběrnic

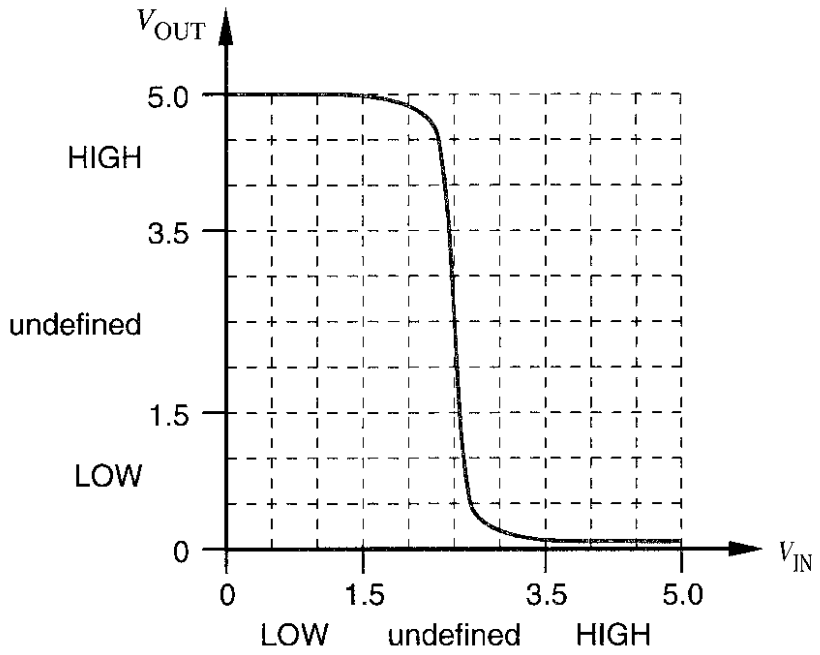
EN=‘0‘ uzavře tranzistory Q_1 a Q_2 současně → OUT=‘Z‘



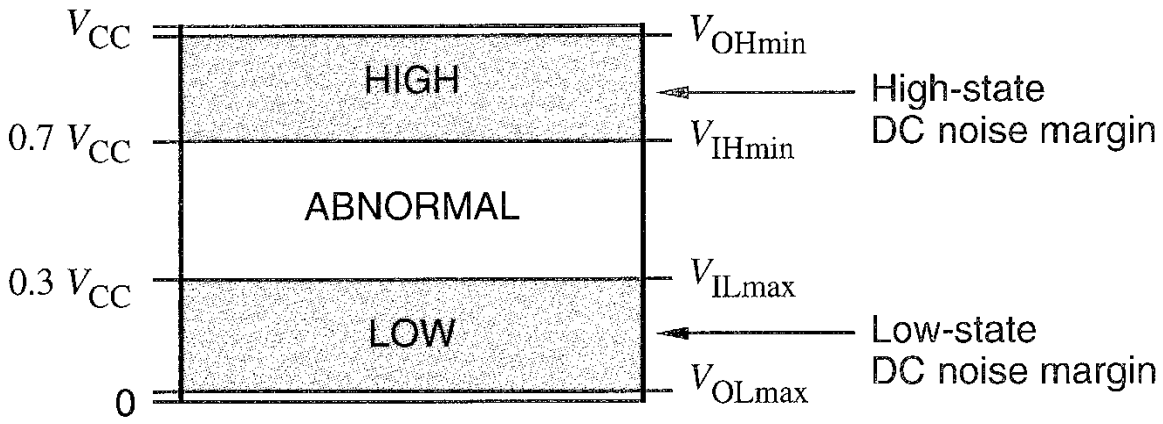
EN	A	B	C	D	Q1	Q2	OUT
L	L	H	H	L	off	off	Hi-Z
L	H	H	H	L	off	off	Hi-Z
H	L	L	H	H	on	off	L
H	H	L	L	L	off	on	H



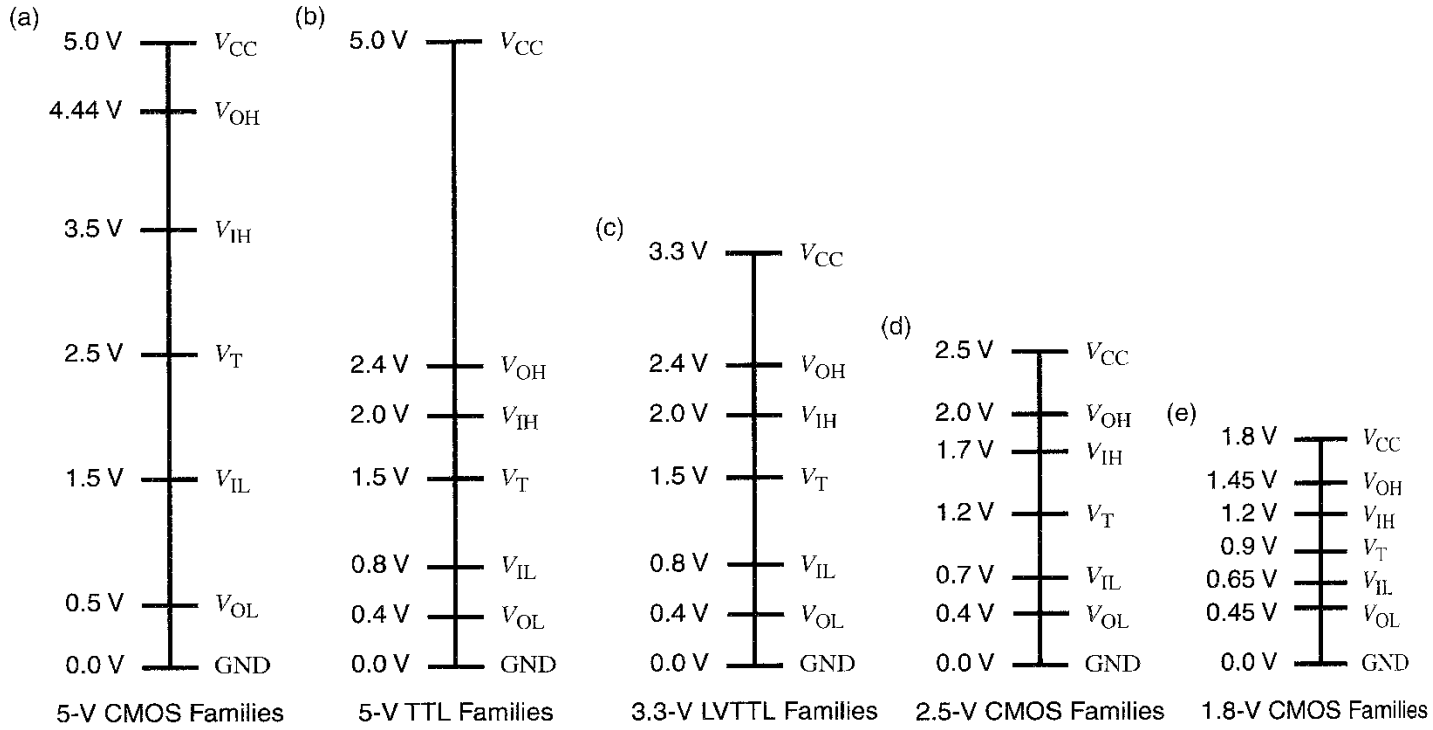
- Převodní charakteristika CMOS invertoru
  - 5V napájení
  - V_{IN} - vstupní napětí
  - V_{OUT} - výstupní napětí



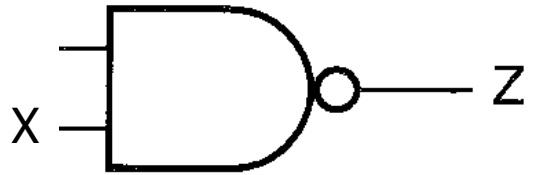
- Příklad CMOS HC - logické úrovně a rozsah odolnosti proti rušení (noise margins)
  - V_{CC} napájecí napětí
  - V_{OHmin} min. výstupní napětí H = Vcc-0,1 V
  - V_{IHmin} min. vstupní napětí H = 70 % Vcc
  - V_{ILmax} max. vstupní napětí L = 30 % Vcc
  - V_{OLmax} max. výstupní napětí L = zem + 0,1 V



- Dnešním trendem je snižování příkonu a zvyšování rychlosti
- Napájecí napětí určuje řadu parametrů obvodů
  - Vyšší napájecí napětí = větší příkon a rychlost
  - Nižší napájení = menší odolnost proti rušení („noise margin'')
- Příklad technologií spolu s napájecím napětím a rozhodovacími úrovněmi



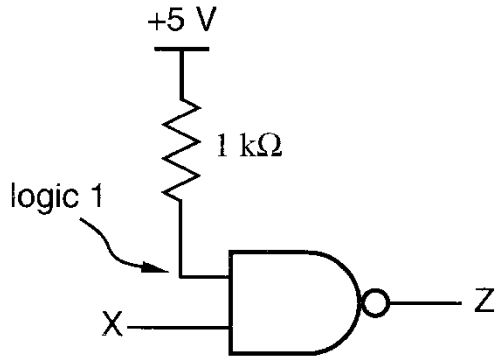
- Jak ošetřit nevyužité vstupy logických obvodů?
  - Obvod je třeba připojit na takové log. úrovně, které neovlivní chování obvodu a zajistí, že vstup nebude náchylný k rušení



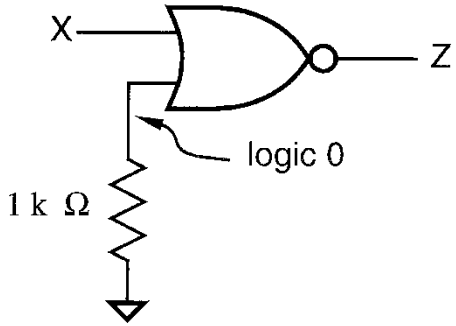
- Způsob ošetření
  - Připojení k jiným vstupům (a)
  - Vstup hradla NAND na zdroj log. 1 – napájecí napětí přes ochranný rezistor (b)
  - Vstup hradla NOR na zdroj log. 0 – zem napájecího napětí přes rezistor, případně přímo (c)

(a)

(b)

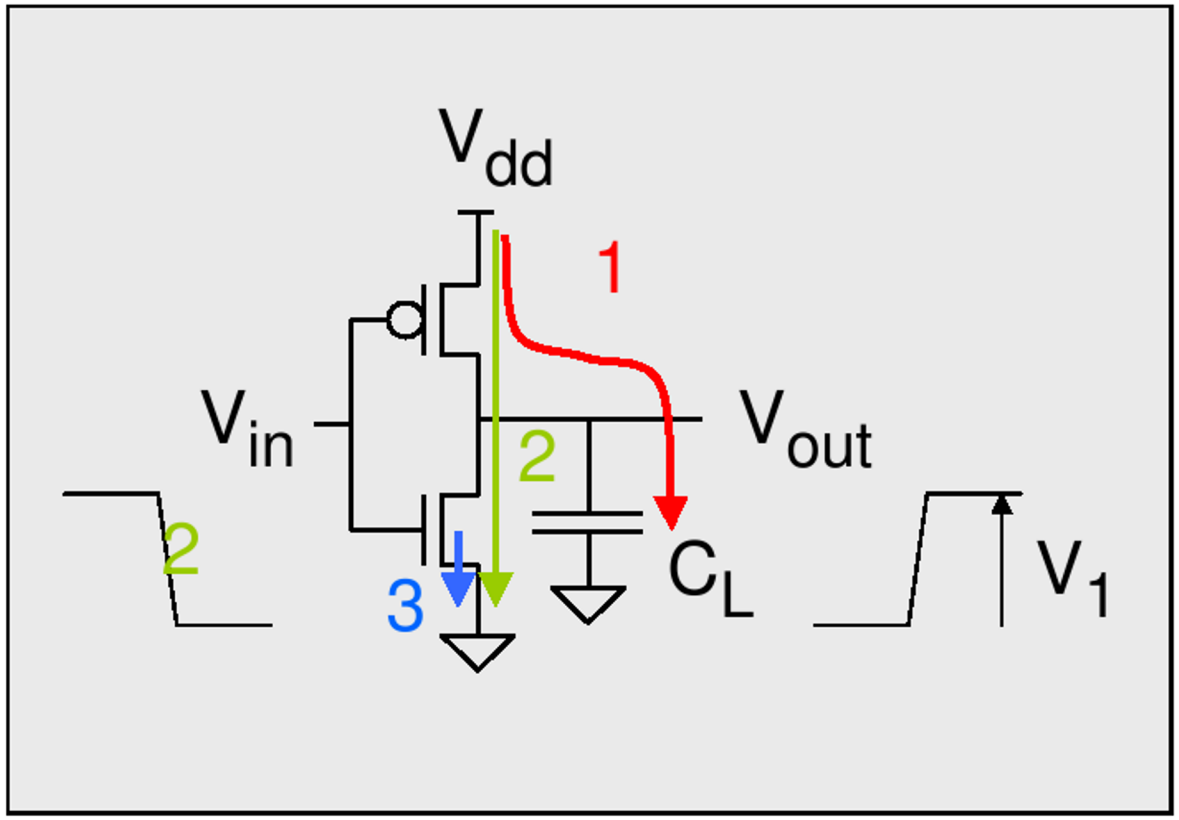


(c)



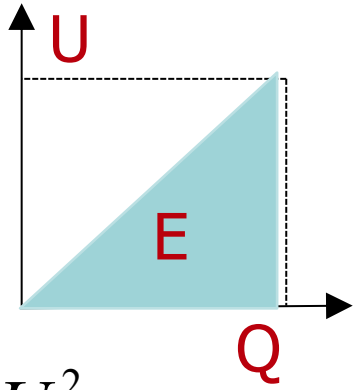
- Logické úrovně
  - Log. členy jsou konstruovány tak, aby byly za normálních podmínek (teplota, napájecí napětí, rušení, atd.) schopny generovat log. úrovně v jistém intervalu hodnot a též rozlišovat log. úrovně v určitém rozmezí hodnot
- Odolnost proti rušení (DC Noise Margins)
  - Je zajištěna v určitém rozmezí tak, že log. člen je schopen akceptovat větší rozptyl vstupních hodnot log. úrovní, než jaký generuje na výstupu
  - Rušení může být generováno např. kosmickým zářením, elektromagnetickým polem, kolísáním napájecího napětí apod.
- Logický zisk (Fan-Out)
  - Počet vstupů log. členů, které můžeme zapojit na výstup daného členu, při kterém jsou ještě zaručeny správné hodnoty log. úrovní pro celý rozsah pracovních podmínek (napájecí napětí, teplota)
- Rychlost
  - Doba, které je třeba k přechodu signálu ze vstupu na výstup
  - Dána dobami přechodů mezi log. úrovněmi a dobou průchodu signálu
  - Závisí na konstrukci log. členů, na počtu jiných log. členů zapojených na jeho výstup, na délce vodičů, na konstrukci desky s plošnými spoji atd.
- Příkon
  - Závisí na konstrukci log. členu, na počtu členů, frekvenci změn log. úrovní, parazitních atd.

- Technologie CMOS
- ***Příkon v technologii CMOS***
- Programovatelné struktury (PLD)
- Technologie FPGA



1. **Dynamický / Aktivní příkon**
   - Nabíjení a vybíjení parazitní kapacity C_L
2. **Příkon způsobený „zkraty“**
   - Při přepnutí tranzistoru vzniká přímá cesta mezi VDD a GND
3. **Statický / Leakage příkon**
   - Zbytkové proudy tranzistorů

- Náboj $Q = C \cdot U\,[C] = I \cdot t\,[As]$
- Energie $E = 1/2 \cdot Q \cdot U = 1/2 \cdot C \cdot U^2\,[J = Ws]$
- Nabíjení $E_C = E_{RN} = 1/2 \cdot C \cdot U^2$
- Vybíjení $E_C = E_{RV} = 1/2 \cdot C \cdot U^2$



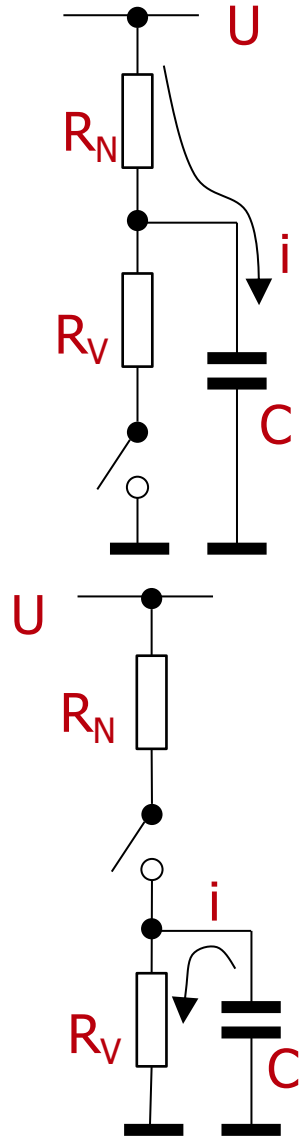
- Energie nabití/vybití

$$E_{0\to1\to0} = E_{RN} + E_{RV} = C \cdot U^2$$

- Příkon při periodickém nabíjení/vybíjení

$$P[W] = \frac{E[Ws]}{t[s]} = E[Ws] \cdot f[Hz] = C \cdot U^2 \cdot f$$

  - f… frekvence změn 0-1-0 (frekvence hodinového signálu)



- Dynamický příkon

$$P_{dynamic} = \alpha \cdot C \cdot V_{DD}{}^2 \cdot f_{clk}$$

- Spotřeba energie

$$E_{dynamic} = \alpha \cdot C \cdot V_{DD}{}^2 \cdot S$$

- Zpoždění

$$\tau_c\,(U) = k' \cdot C \cdot \frac{V_{DD}}{(VDD - V_T)^2}$$

- α – pravděpodobnost přepnutí logické úrovně hradla
- C – zátěžová kapacita
- V_{DD} – napájecí napětí
- f_{clk} – frekvence hodin

S – počet taktů hodin

V_T – prahové napětí

- Koeficient α je možné ovlivnit
  - Zastavením signálu hodin (Clock gating)
  - ***Pomocí vhodného kódování***
- Počet změn při čítání v binárním kódu vs čítání v Grayovu kódu
- Je nutné vzít do úvahy i parametry kódovací a dekódovací logiky

Binary Code		Gray Code	
sequence	# toggles	sequence	# toggles
000	3	000	1
001	1	001	1
010	2	011	1
011	1	010	1
100	3	110	1
101	1	111	1
110	2	101	1
111	1	100	1

- Příklad: snížení napájecího napětí na polovinu
  - ***Příkon klesne 4x***

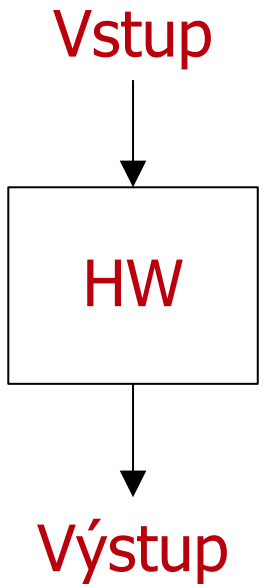
$$P_{(V_{DD}/2)} = \alpha \cdot f \cdot C \cdot (V_{DD}/2)^2 = 1/4 \cdot \alpha \cdot f \cdot C \cdot V_{DD}^{\ 2} = P/4$$

  - ***Zpoždění vzroste 2x***

$$\tau_{(V_{DD}/2)} \approx \frac{1}{\frac{V_{DD}}{2}} = 2 \cdot \frac{1}{V_{DD}} = 2 \cdot \tau$$

Snížení příkonu je možné pomocí dynamické změny napětí a frekvence (DVFS - Dynamic Voltage and Frequency Scaling)

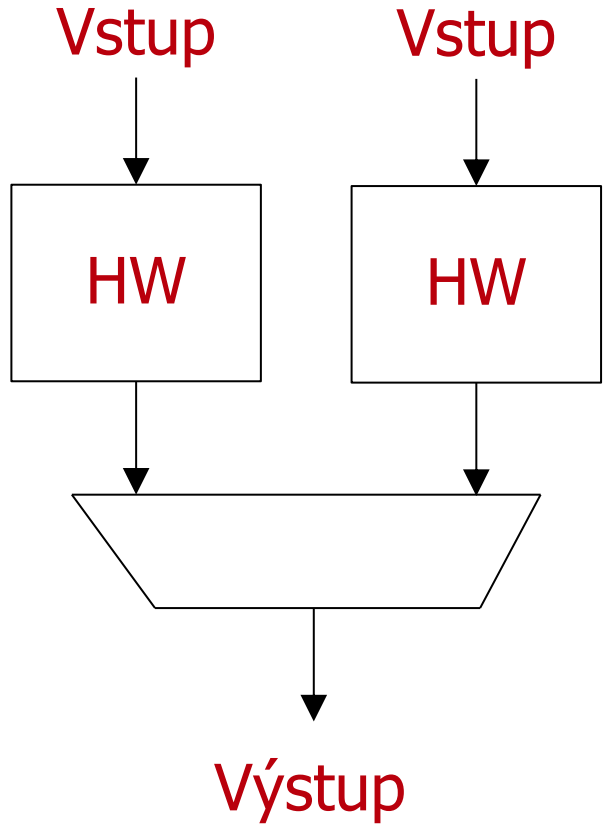
- Příklad: Výpočet jednou výpočetní jednotkou
  - f=1 GHz, V_{DD} = 2 V



$$P_1 = C \cdot 2^2 \cdot f = 4 \cdot C \cdot f$$

$$P_2 = 2 \cdot C \cdot 1^2 \cdot f/2 = C \cdot f = P_1/4$$

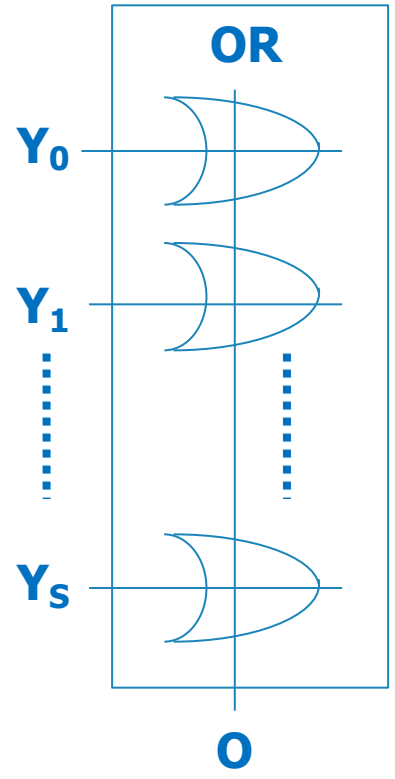
- Příklad: Výpočet dvěma identickými jednotkami
  - f=500 MHz, V_{DD} = 1 V



- Technologie CMOS
- Příkon v technologii CMOS
- ***Programovatelné struktury (PLD)***
- Technologie FPGA

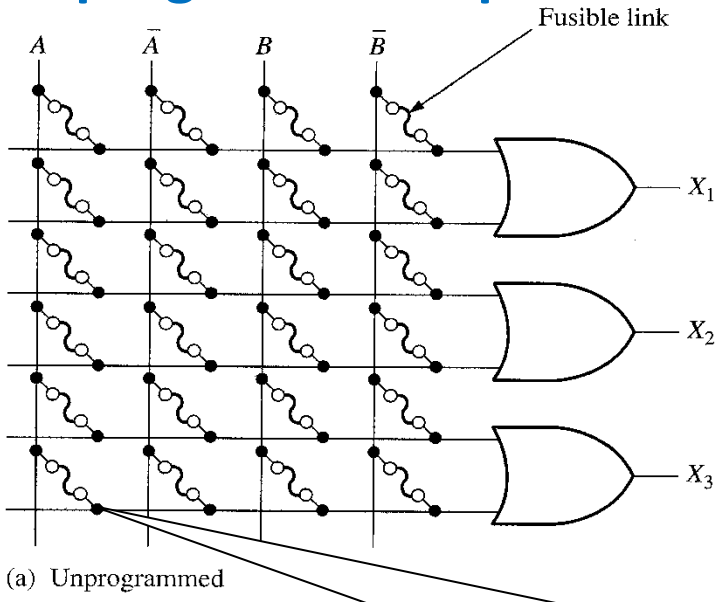
- ***Programovatelný logický obvod***
  - Anglicky Programmable Logic Device (PLD)
  - Mají předdefinovanou strukturu, kterou lze různým způsobem programovat pro realizaci log. obvodů
  - PLD mohou též obsahovat klopné obvody, třístavové budiče, paměti atd.
- Jakým způsobem je možné obvody programovat?
  - Přepálením „pojistky'' – PAL, PLA
  - Naprogramováním paměťových buněk PROM – GAL, CPLD
  - Naprogramováním paměti SRAM – FPGA
  - Provádí se pomocí programátoru či přímo v zařízení pomocí specializovaného rozhraní
- Výhody programovatelných obvodů
  - Uživatel si může realizovat složité log. obvody sám
  - V případě uložení konfigurace v paměti je možné obvody modifikovat
  - Dnešní kapacity PLD obvodů jsou velmi velké (miliony ekvivalentních členů NAND)

- Pole hradel OR s programovatelným propojením na vstupní proměnné v přímé i negované podobě (invertor není zakreslen)
- Umožňují efektivně realizovat konjunktní formu

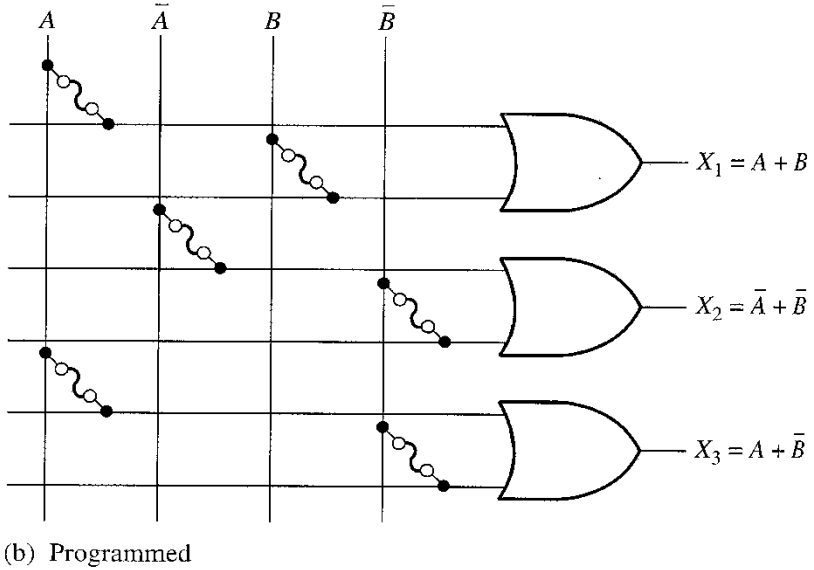


OR pole

Nenaprogramované pole OR



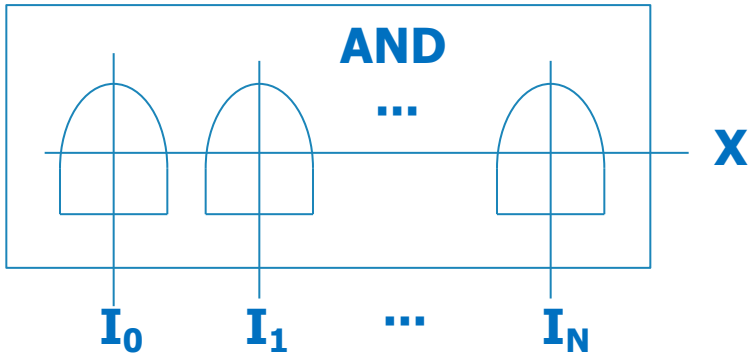
Naprogramované pole OR



Tavné propojky, definují propojení.

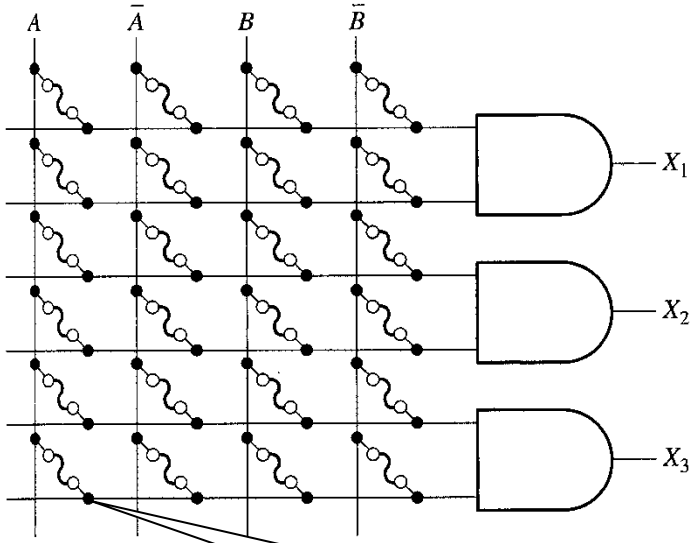
Programovatelné pole AND

- Pole hradel AND s programovatelným propojením na vstupní proměnné v přímé i negované podobě (invertor není zakreslen)
- Umožňují efektivně realizovat disjunktní formu



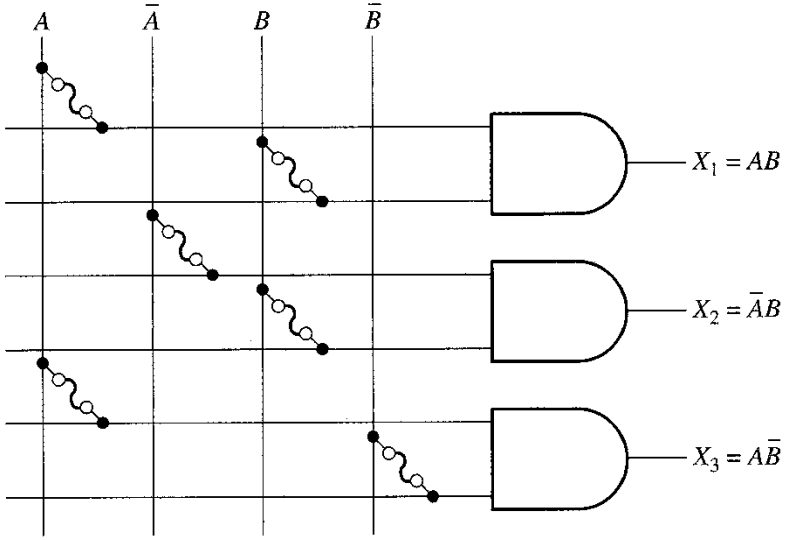
AND pole

Nenaprogramované pole OR



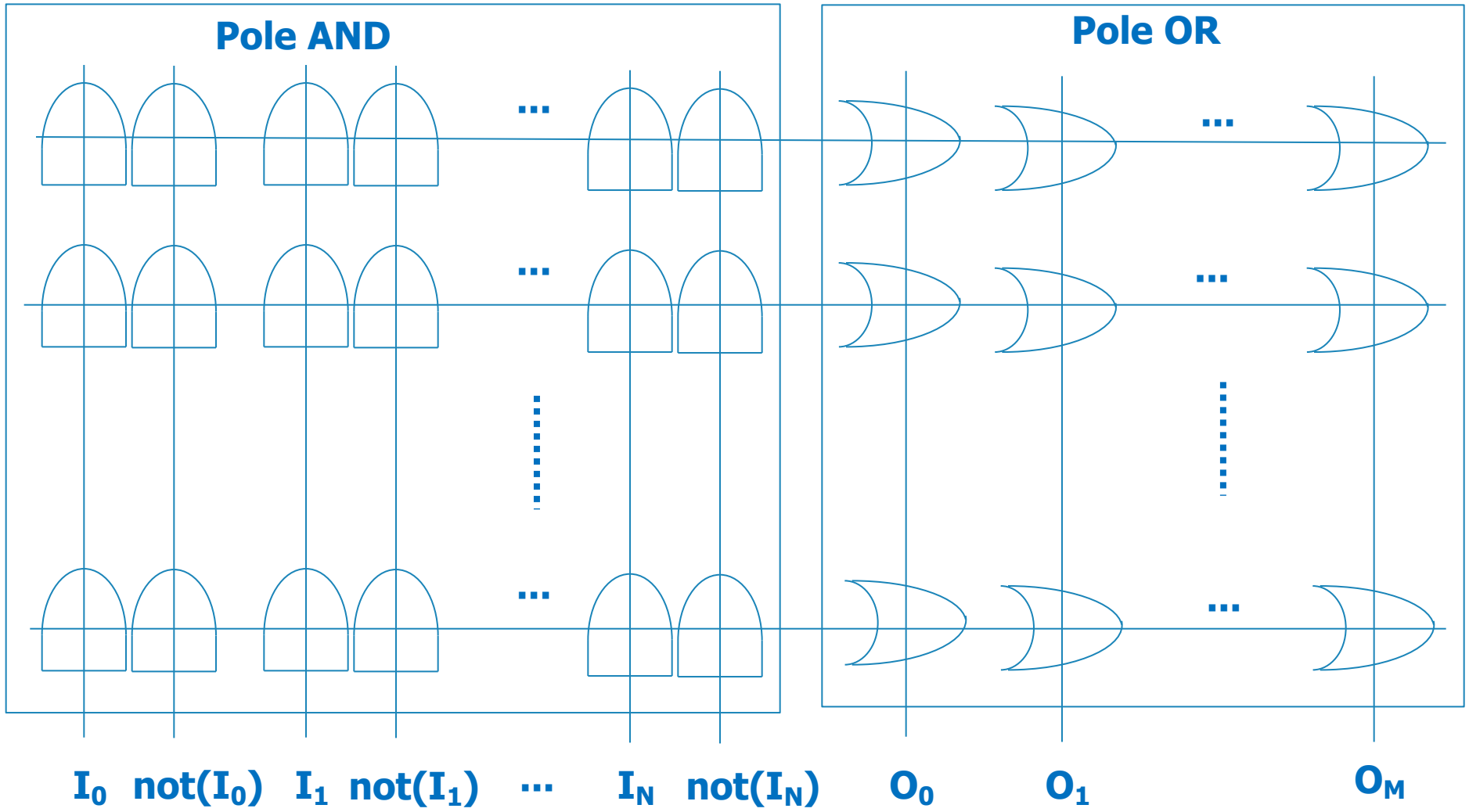
(a) Unprogrammed

Naprogramované pole OR



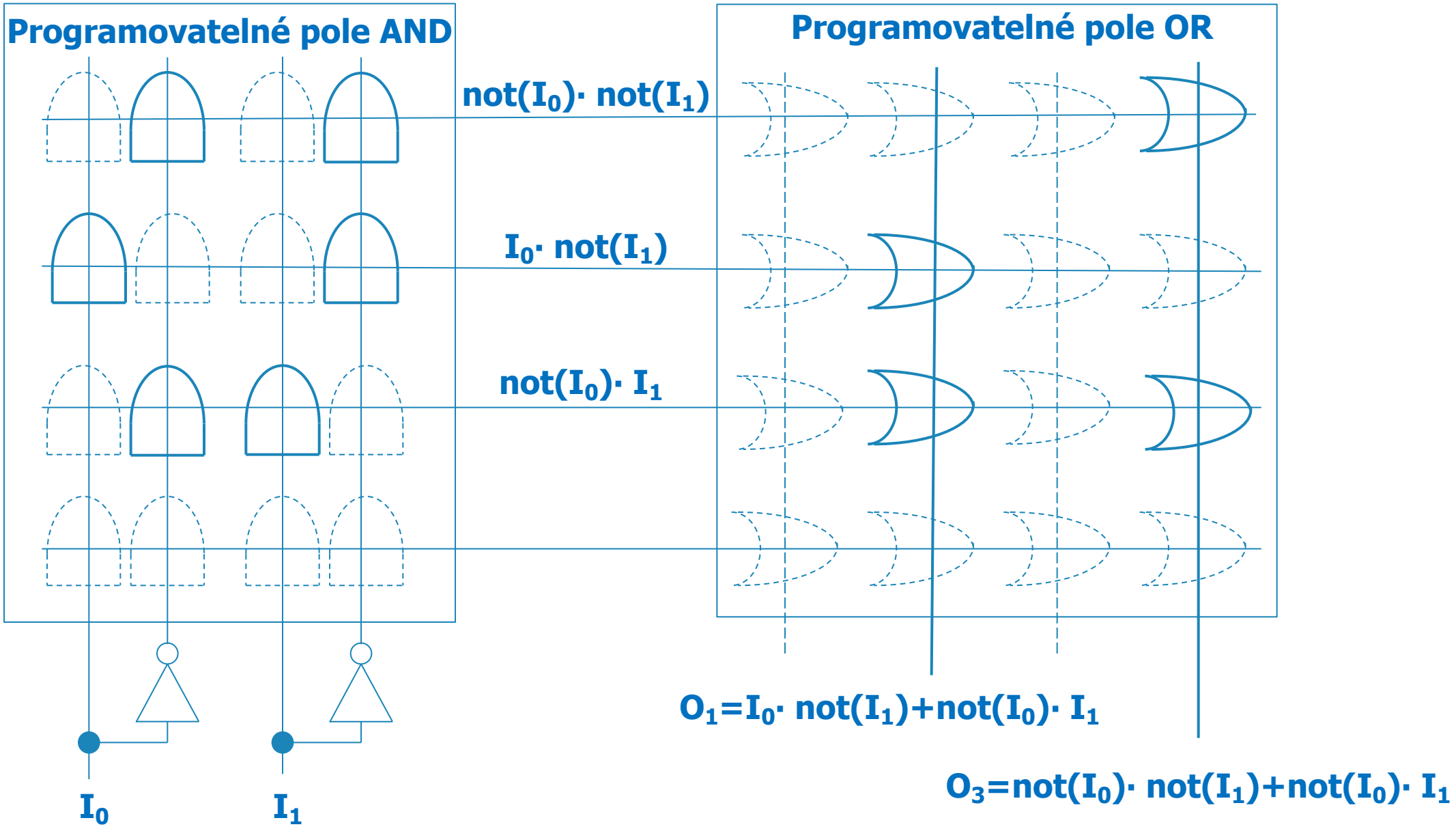
(b) Programmed

Tavné propojky, definují propojení.

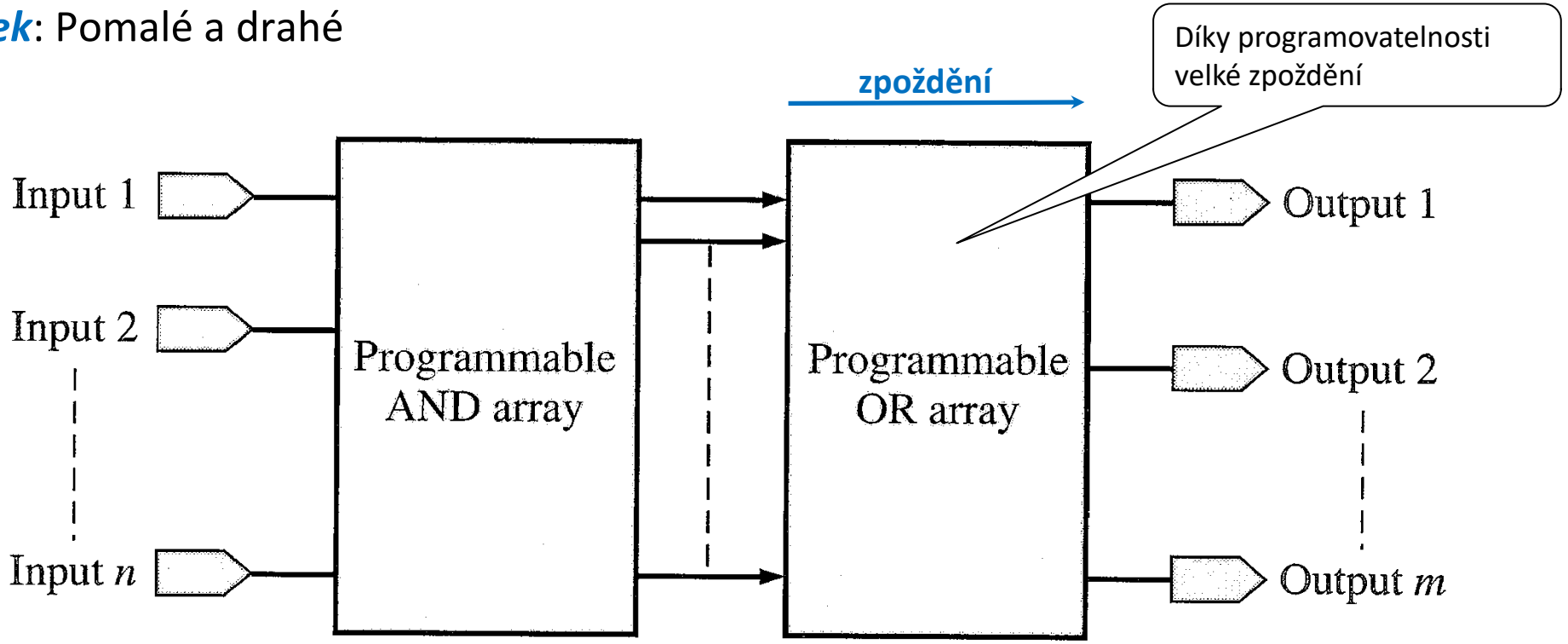


Duálně platí, že pole OR-AND implementuje součin sum (Úplná normální konjunktní forma, POS)

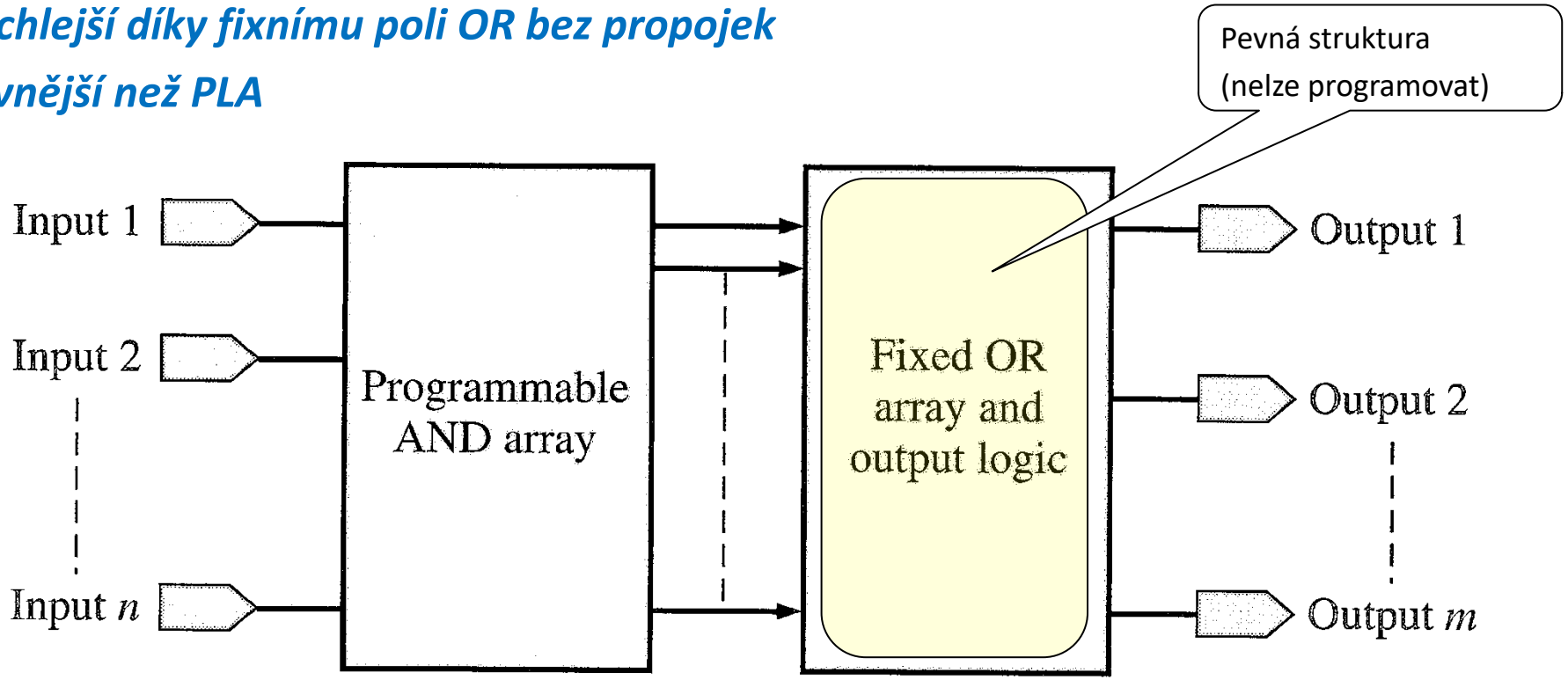
Programovatelné struktury: PLA



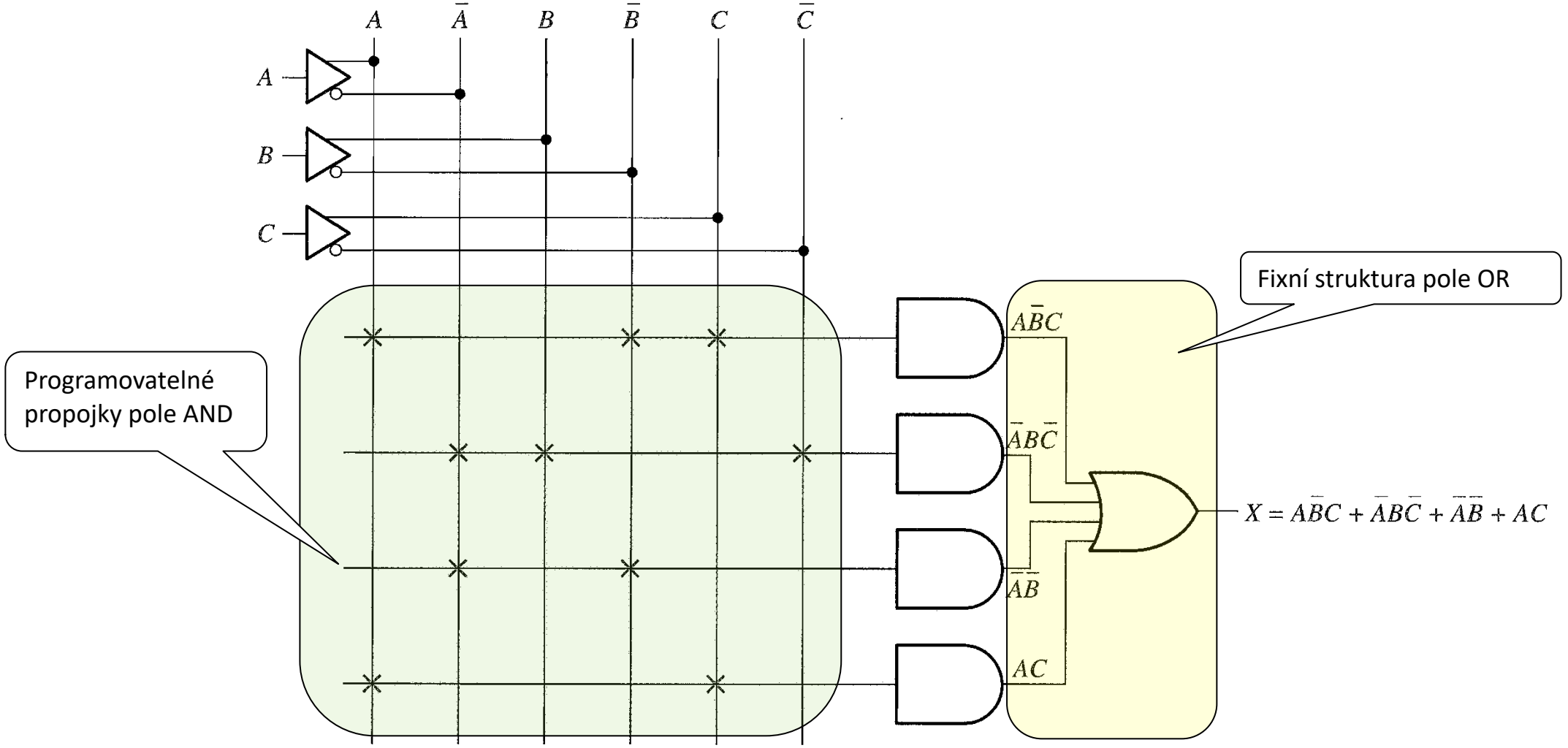
- Programmable Logic Array (PLA)
  - Obě pole jsou programovatelná
  - Výhodou je plná programovatelnost obou polí
  - Nevýhodou je větší zpoždění kvůli programovacím propojkám („pojistkám'') v obou polích, které mají větší zpoždění než vodiče a log. členy díky přechodovému odporu a parazitním kapacitám
  - ***Důsledek***: Pomalé a drahé



- Programmable Array Logic (PAL)
  - Pouze pole AND je programovatelné
  - Nemají omezení pamětí PROM (díky programovatelnému poli AND)
  - Realizuje disjunktní formu
  - ***Jsou rychlejší díky fixnímu poli OR bez propojek***
  - ***Jsou levnější než PLA***



- Příklad implementace funkce tří proměnných pomocí PAL

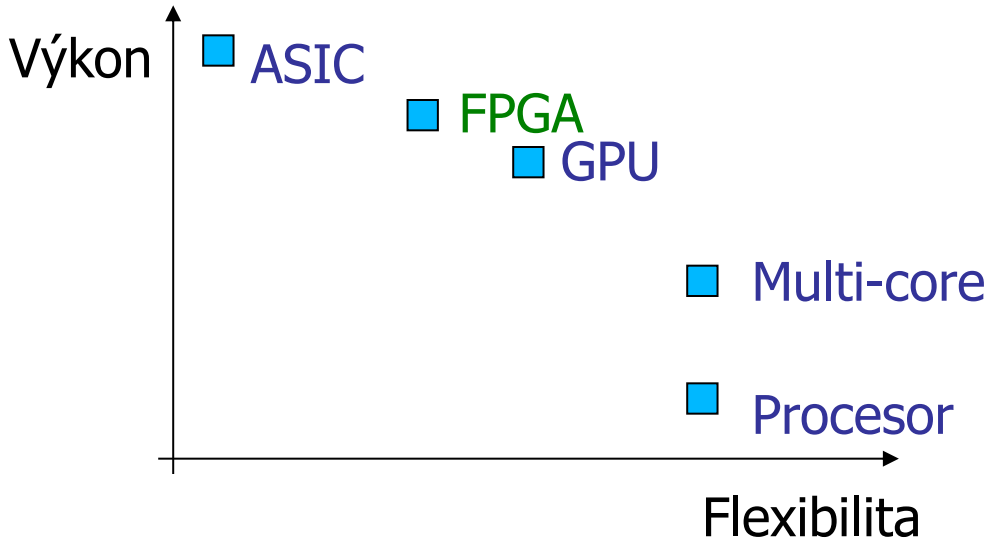


- ***PAL (Programmable Array Logic)***
  - Programovatelné AND pole (volba mintermu normální disjunktní formy se provádí pomocí destrukce propojek)
  - Pevné OR pole (logický součet vybraných mintermů), které jsou často doplněny o klopné obvody
- ***GAL (Generic Array Logic)***
  - Obdobná architektura jako PAL
  - Propojky jsou však elektricky programovatelné (řízené pomocí paměťových buněk např. typu EEPROM)
- ***CPLD (Complex Programmable Logic Devices)***
  - Skládají se z AND-OR polí a registrů s elektricky (typicky pomocí paměťových buněk typu FLASH) programovatelnými křížovými přepínači

- Technologie CMOS
- Příkon v technologii CMOS
- Programovatelné struktury (PLD)
- ***Technologie FPGA***

- Běžné procesory nepokrývají výkonnostní požadavky řady aplikací
  - Počítačové sítě, počítačová grafika, vědecké výpočty a další
- Technologie FPGA a ASIC mohou být vhodnou alternativou

Kompromis mezi flexibilitou a výkonem

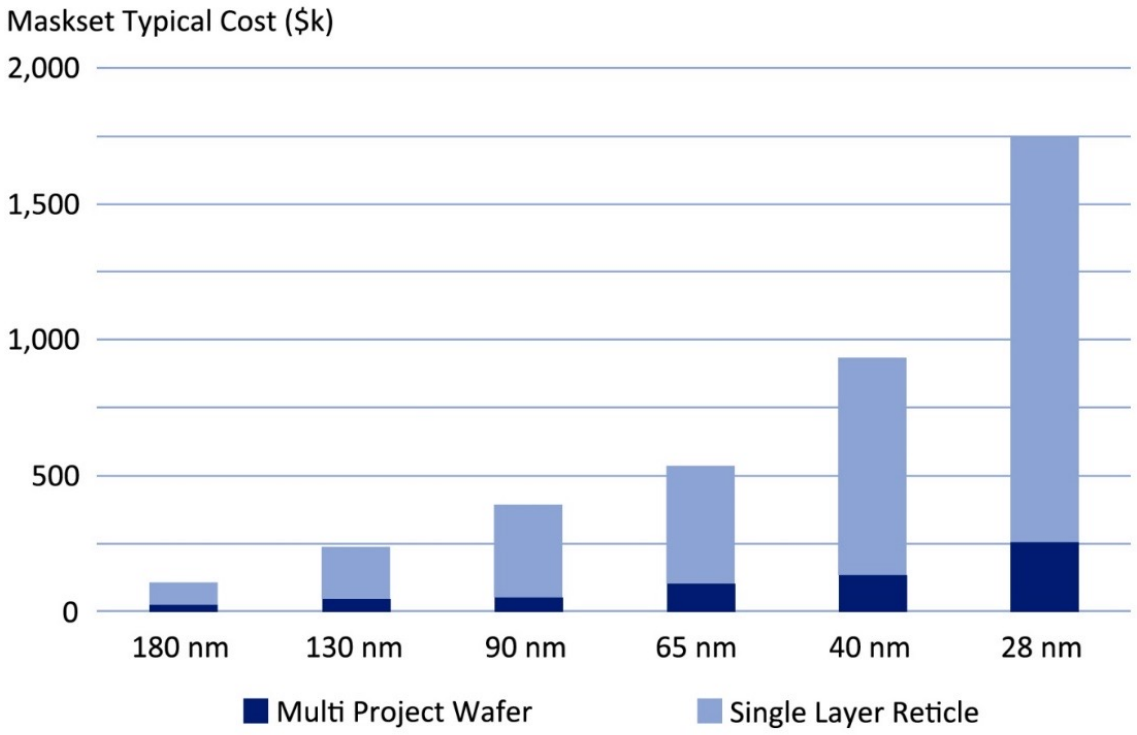


Flexibilita – v kolika aplikacích je vhodné danou technologii použít

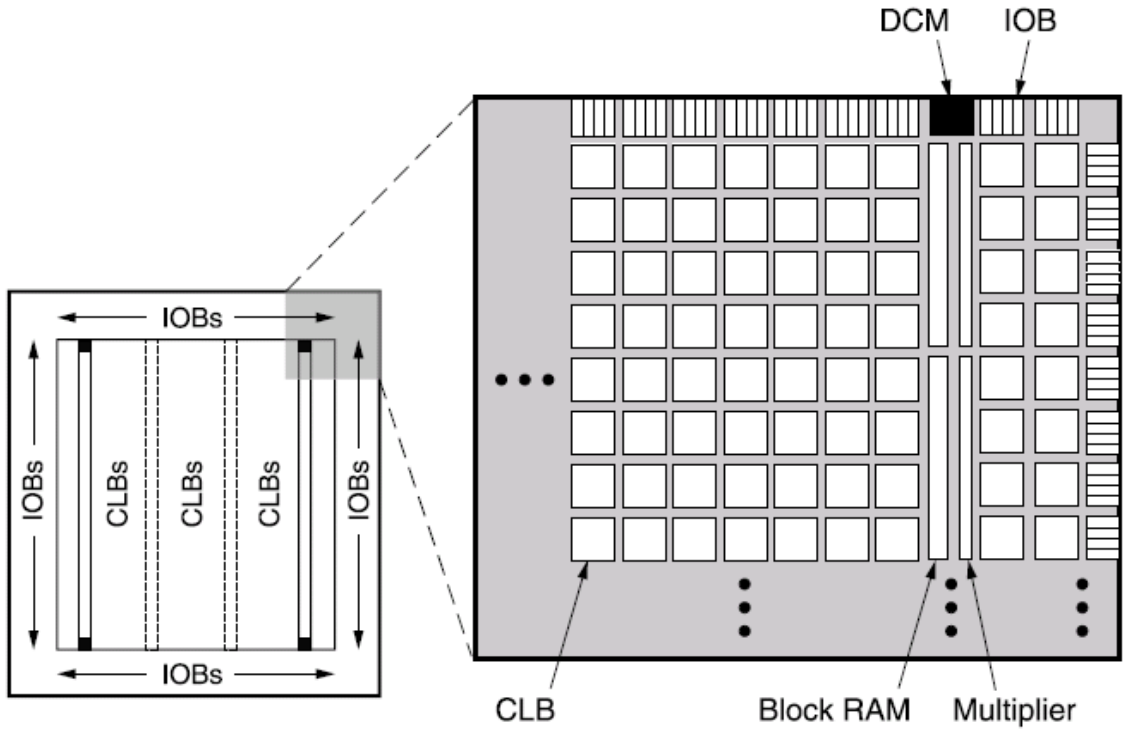
Výkon – porovnání rychlosti aplikací na různých technologiích

Nové technologie zvyšují rychlost FPGA čipů. Snižuje se počet aplikací, které je nutné řešit pomocí ASIC

- Cena návrhu masky u ASIC obvodů se pro nové technologie neustále zvyšuje
  - Cena = maska + návrh + verifikace + risk
- ASIC obvody jsou využívány zejména v extrémních aplikacích vyžadujících rychlost, malé rozměry, nízká spotřebu a vyráběných ve velkých sériích
- Výhody FPGA oproti ASIC:
  - Jednodušší návrh aplikace
  - Rychlejší vývoj, tj. rychlejší uvedení na trh
  - Možnost rekonfigurace
    - Oprava chyb
    - Nové vlastnosti aplikace



- 2D Matice konfigurovatelných logických bloků (CLB)
- Obvody pro řízení hodinového signálu (DCM, PLL, apod.)
- Vestavěné komponenty: blokové paměti a násobičky, DSP bloky, GTX, PCIe, PowerPC, apod.

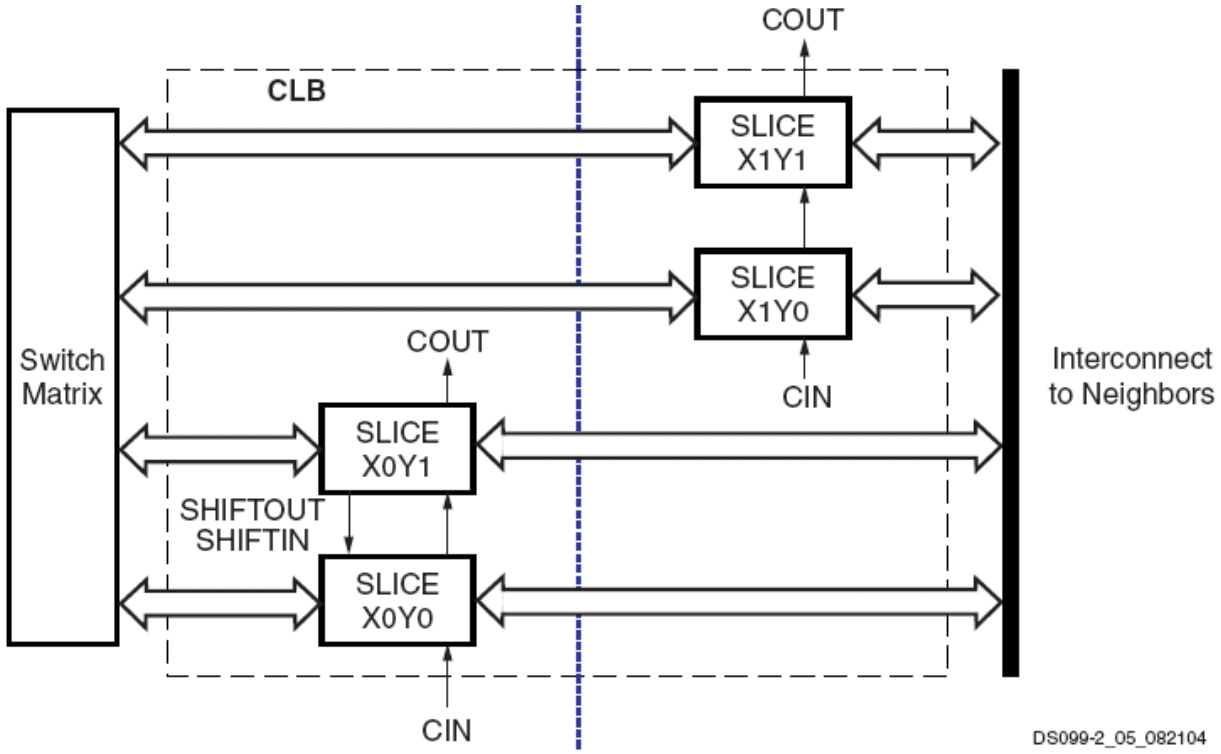


Obsahuje

- Několik SLICE bloků (menší logické elementy)
- Nezávislé „carry řetězce“ pro konstrukci rychlých sčítaček, násobiček, apod.
- Rychlé připojení k sousedním členům a připojení ke globální propojovací matici

Technologie

- Spartan3
  - 4 Slices / CLB
- Virtex UltraScale
  - 1 Slice / CLB

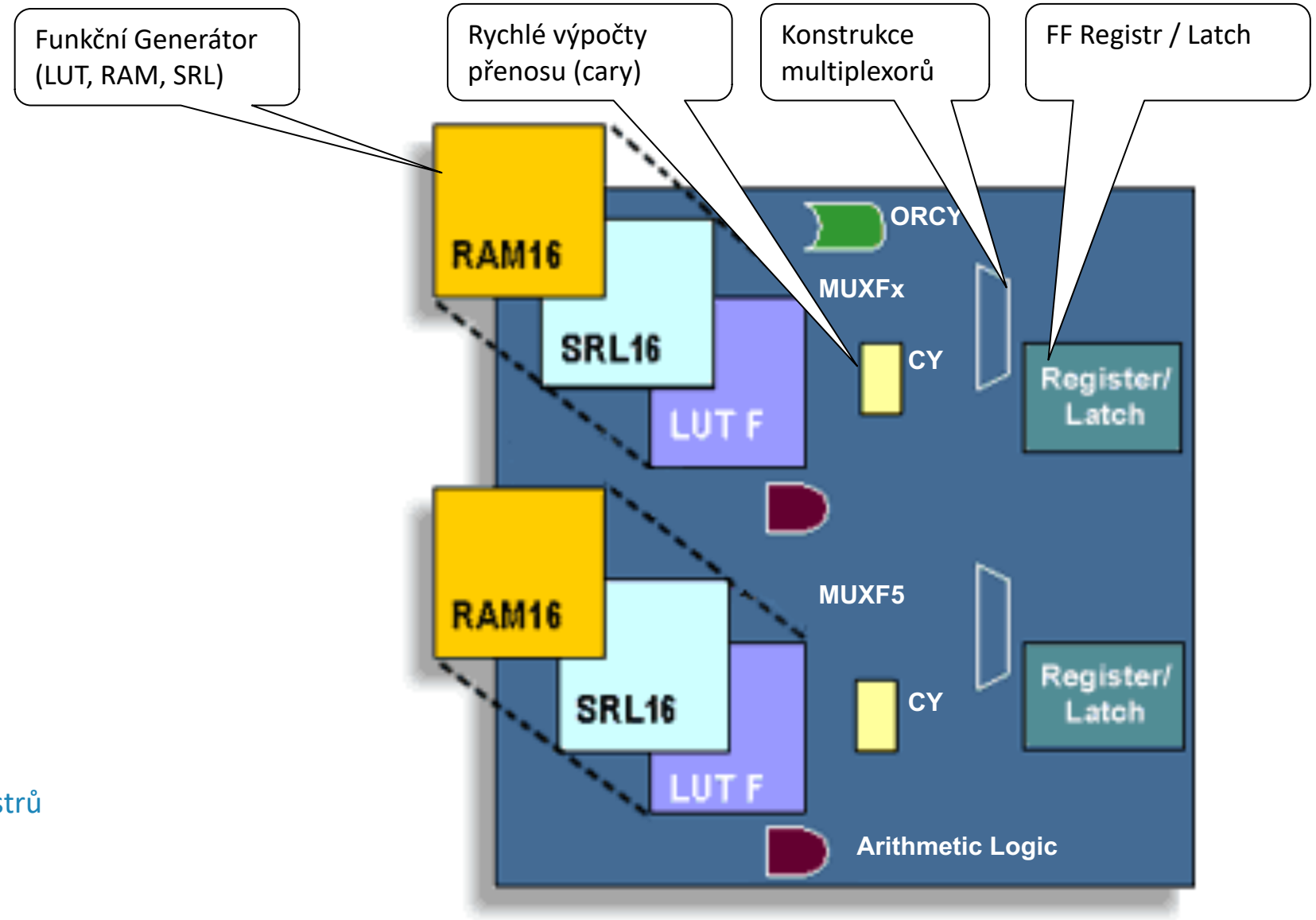


Obsahuje

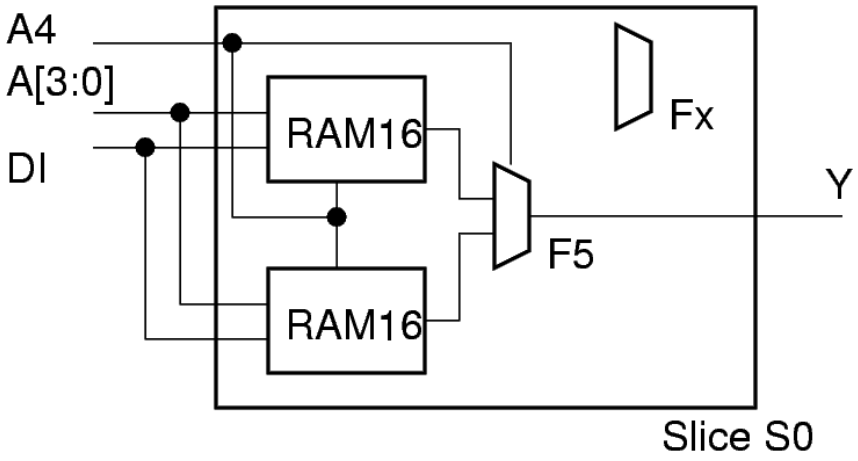
- Funkční generátory (FG)
  - LUT
  - RAM
  - SRL
- Registry/Latche
- Multiplexory MUXFx
- “Carry” logiku
- Pomocná logika pro aritmetiku

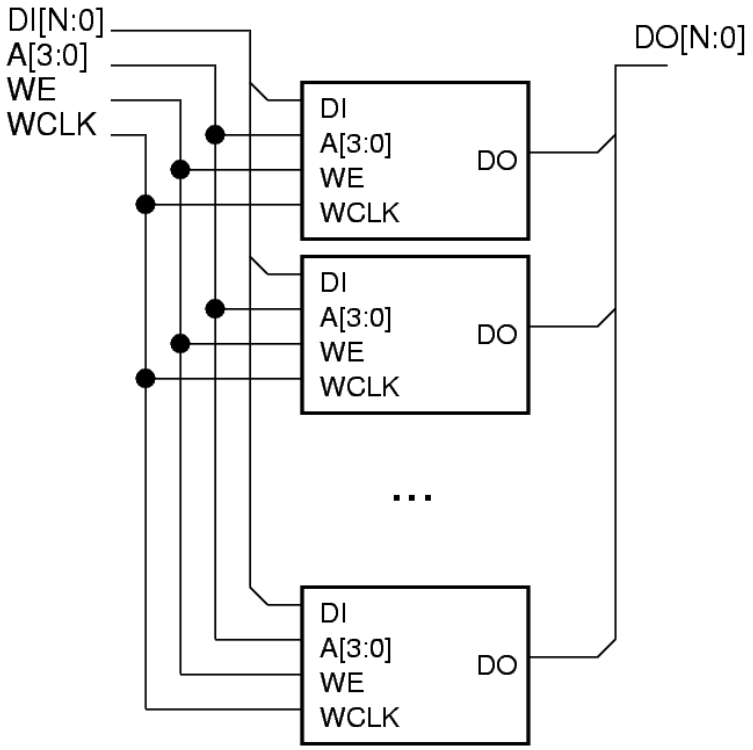
Technologie

- Spartan3
  - 2x FG, 2x FDD
  - 768 - 33,280 SLICEs
  - 1536 - 66,560 FGs a registrů
- Virtex UltraScale
  - 8x FG, 16x FDD
  - 44k – 316k SlLICEs
  - 358k – 2,5M FGs, dvojnásobek registrů

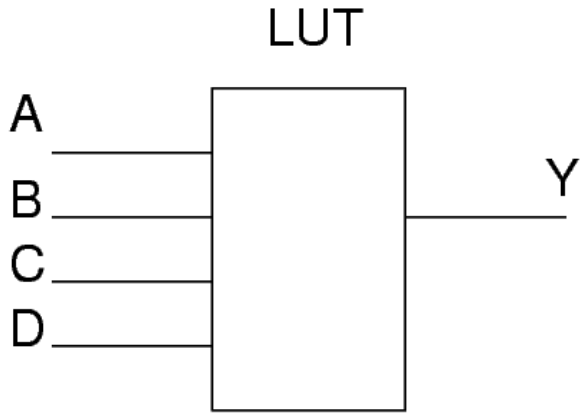


- Umožňuje vytvářet větší paměťové bloky
  - Pomocí MUXFx lze jednoduše tvořit paměti 32x1 bit, 64x1 bit, atd.
  - Paměti lze paralelně řadit vedle sebe a tvořit paměti o libovolné šířce dat





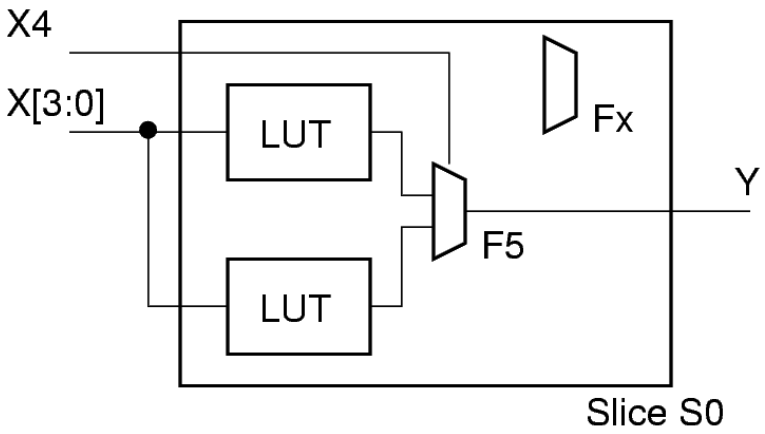
- Základní logické hradlo: *N*-bitový vstup, 1-bitový výstup
- Realizuje libovolnou binární funkci *N* proměnných
- Technologie
  - Spartan3: N=4
  - Virtex UltraScale+ : N=6
- Příklad
  - 4-vstupé hradlo

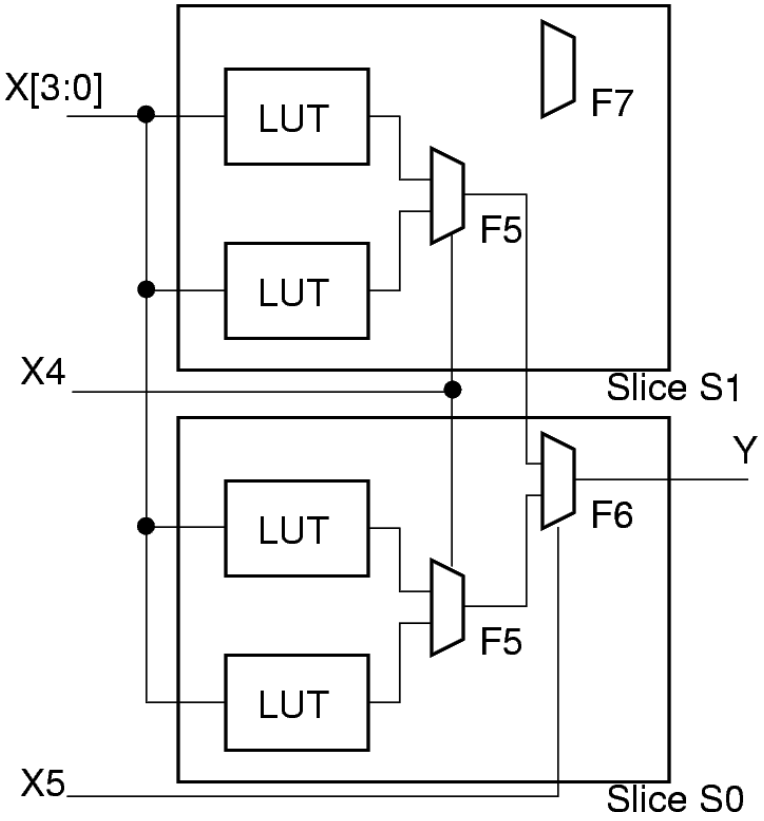


$$F(A,B,C,D) = \bar{A}\bar{B}\bar{C}D \text{ or } A\bar{B}\bar{C}\bar{D} \text{ or } \bar{A}\bar{B}C\bar{D} \text{ or } ABCD$$

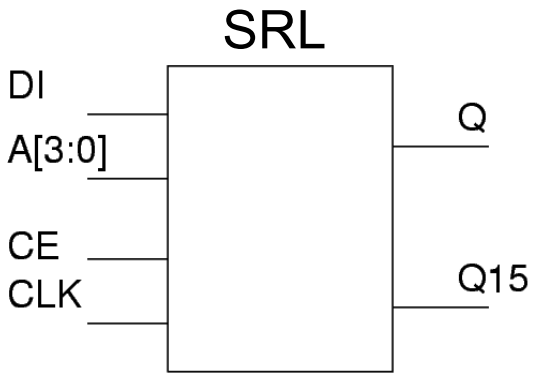
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

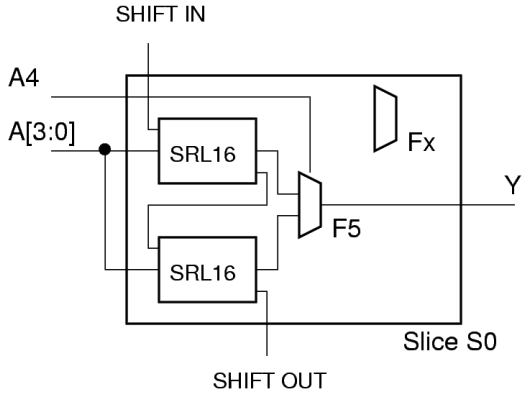
- Pomocí multiplexorů MUXFx lze jednoduše vytvářet složitější funkce
- MUXFx je potom označován jako MUXF5, MUXF6, …
- Příklad:
  - 4-vstupé hradla LUT

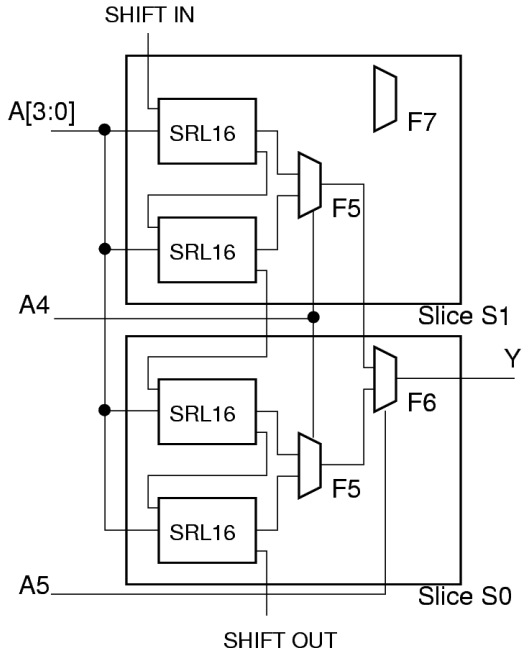




- Synchronní zápis, data v registru se posunou o jednu pozici
- Asynchronní čtení ze zadané pozice, výstup se objeví na Q
- Jednoduché rozšíření pomocí multiplexorů **MUXFx**
- Vhodný například pro konstrukci zpožďovacích obvodů, generátorů náhodných čísel (LFSR), čítače libovolných sekvencí, apod.
- Velká úspora zdrojů oproti implementaci pomocí registrů umístěných ve SLICE



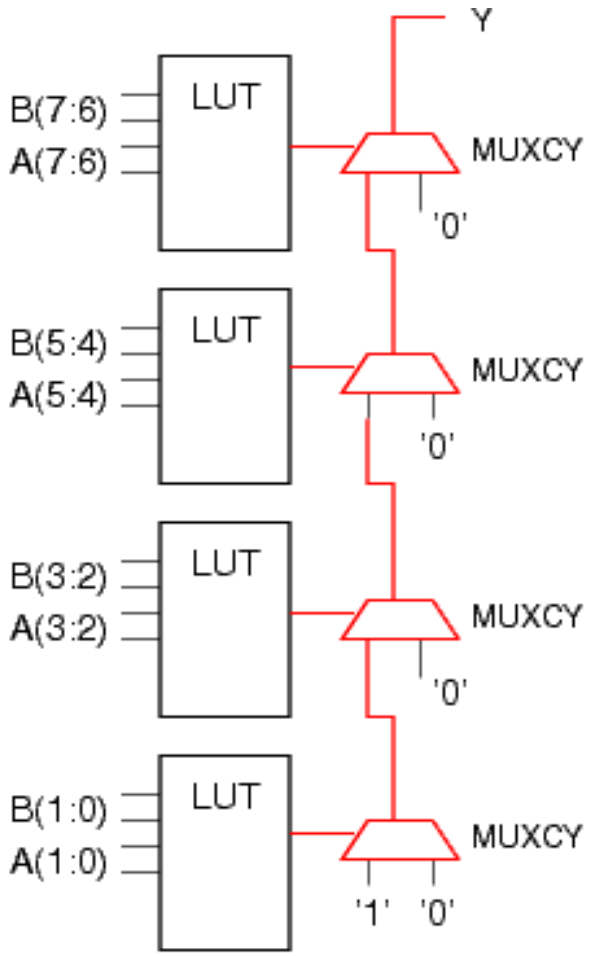




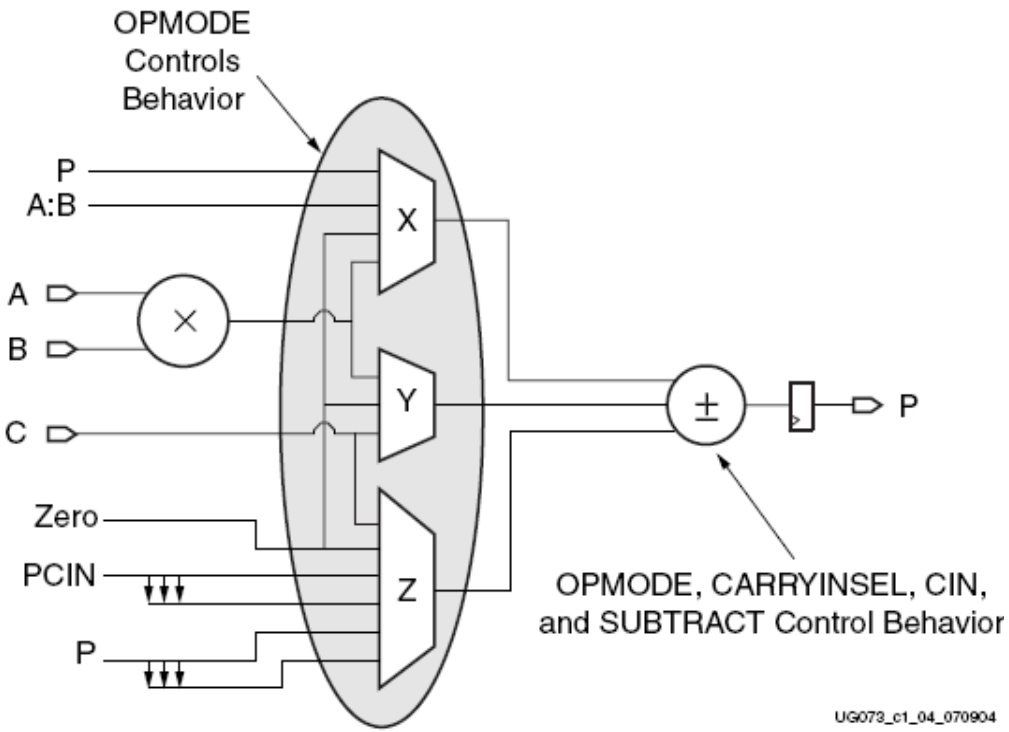
- Používá se pro konstrukci rychlých sčítaček, čítačů, komparátorů apod.
- Carry logika je v každém SLICE tvořena z
  - 2x multiplexor - ***MUXCY***
  - 2x hradlo xor - ***XORCY***
  - 1x hradlo or – ***ORY***
- Příklad komparátoru ve VHDL:

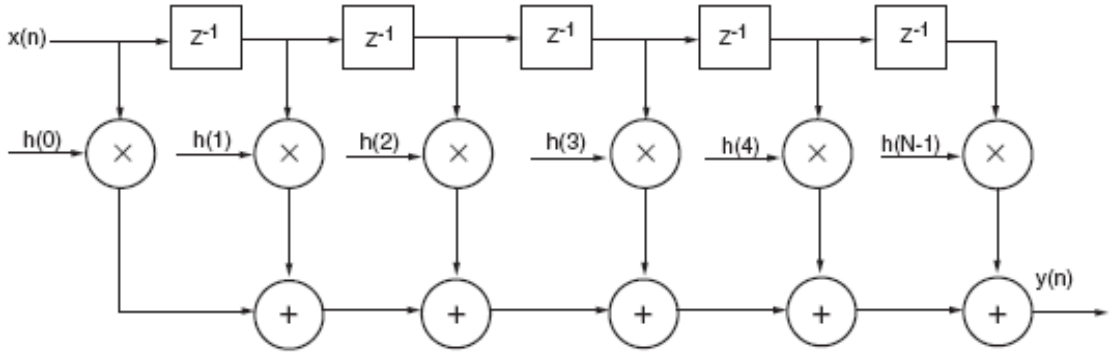
```
Y <= '1' when   (A = B)
         else   '0';
```

  - LUTy porovnávají části operandů
  - MUXCY vytváří logický AND



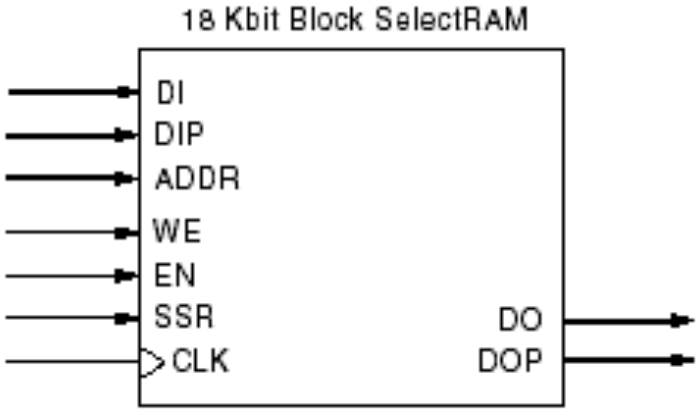
- V některých technologiích zcela nahrazuje vestavěné násobičky
- Zpravidla obsahuje:
  - násobičku NxM bitů
  - Sčítačku / odčítačku K bitů
  - Multiplexor
  - interní sběrnici
- Vhodné pro tvorbu DSP aplikací:
  - MAC FIR filtrů
  - paralelních FIR filtrů
  - vícekanálových filtrů
  - filtrů s proměnnou rychlostí
- Technologie Virtex UltraScale:
  - N=27, M=18, K=48
  - 600-2880 DSP bloků

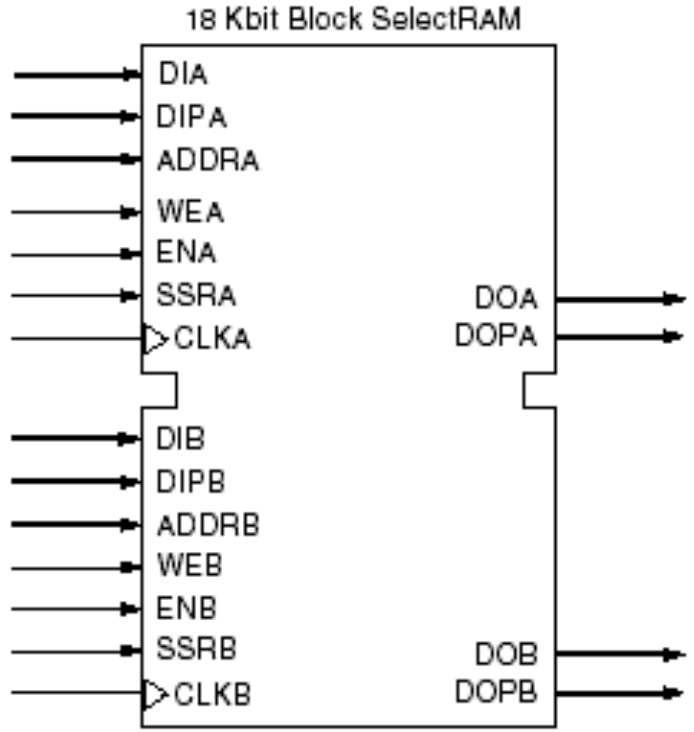




- ***Vestavěný paměťový blok o velikosti jednotek kB***
- Obvykle synchronní čtení i zápis (data jsou dostupná v následujícím hodinovém taktu)
- ***Jedno-portová i dvou-portová varianta***, pro každý port lze dostupný paměťový prostor rozdělit do různých datových šířek
- ***Příklady různých pamětí velikosti 2kB***

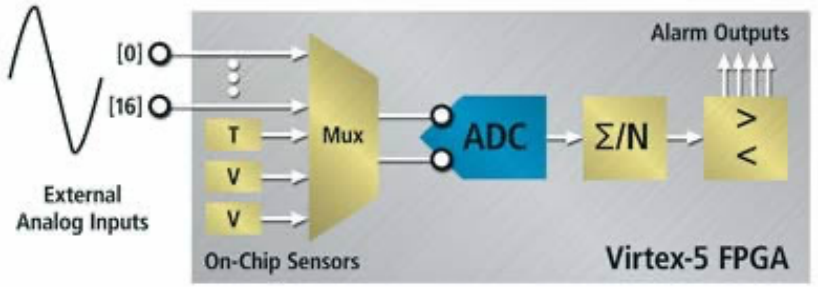
16k x 1 bit	2k x 8 bits
8k x 2 bits	1k x 16 bits
4k x 4 bits	512 x 32 bits

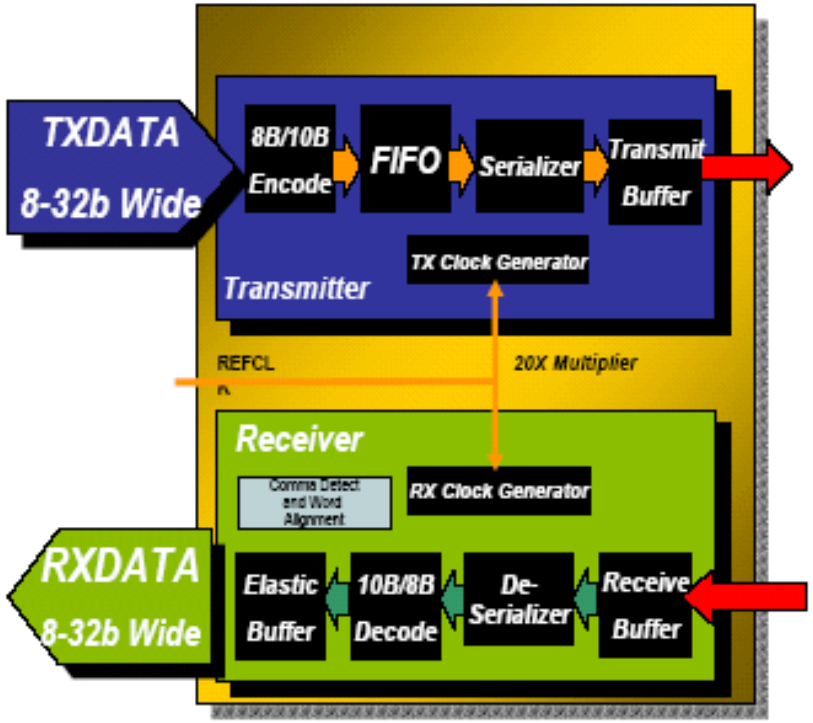


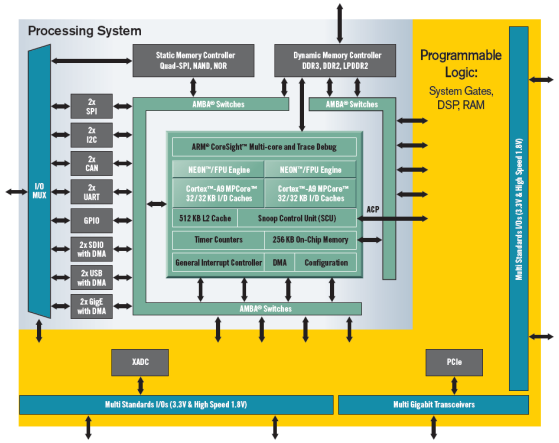


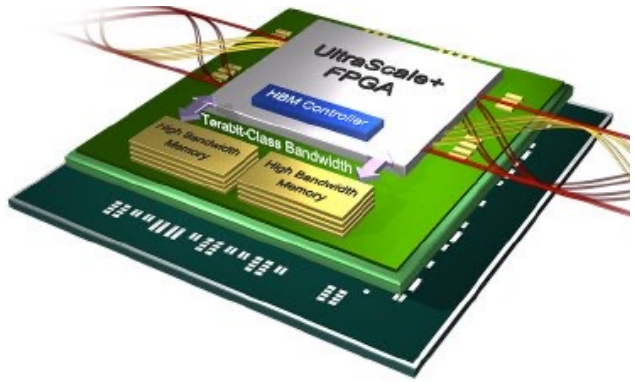
Vestavěné IP bloky

- Vysokorychlostní transceivery s podporou rozhraní
  - PCI Express Endpoint (až do PCI gen.6)
  - Rozhraní Ethernet (od 1 Gb až do 400 Gb)
- Podpora velkokapacitních pamětí
  - DDR DRAM řadiče integrované na čipu
  - HBM (460 GB/s) paměť integrovaná přímo na čipu
- Procesor ARM 1 až 4 jádra A9, A53 nebo A72
- Systém monitoring – čidla pro teplotu a napájení

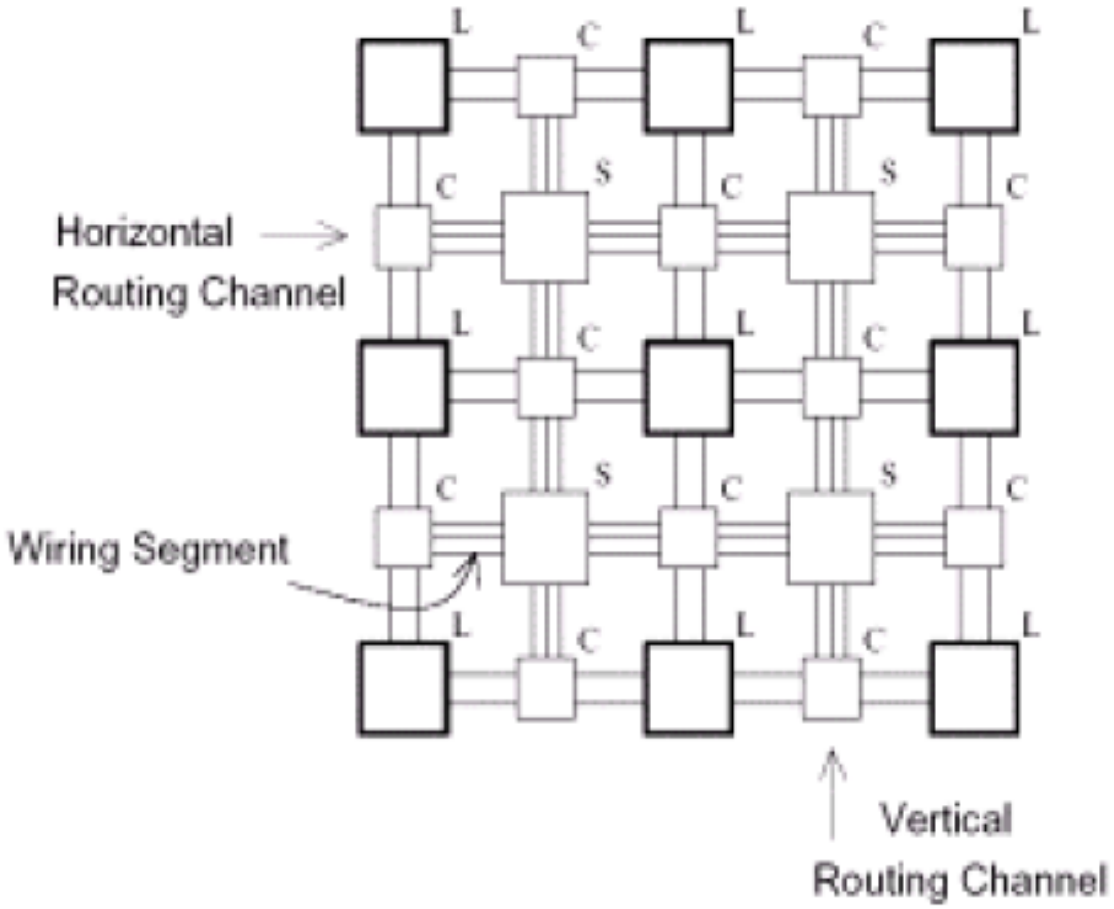




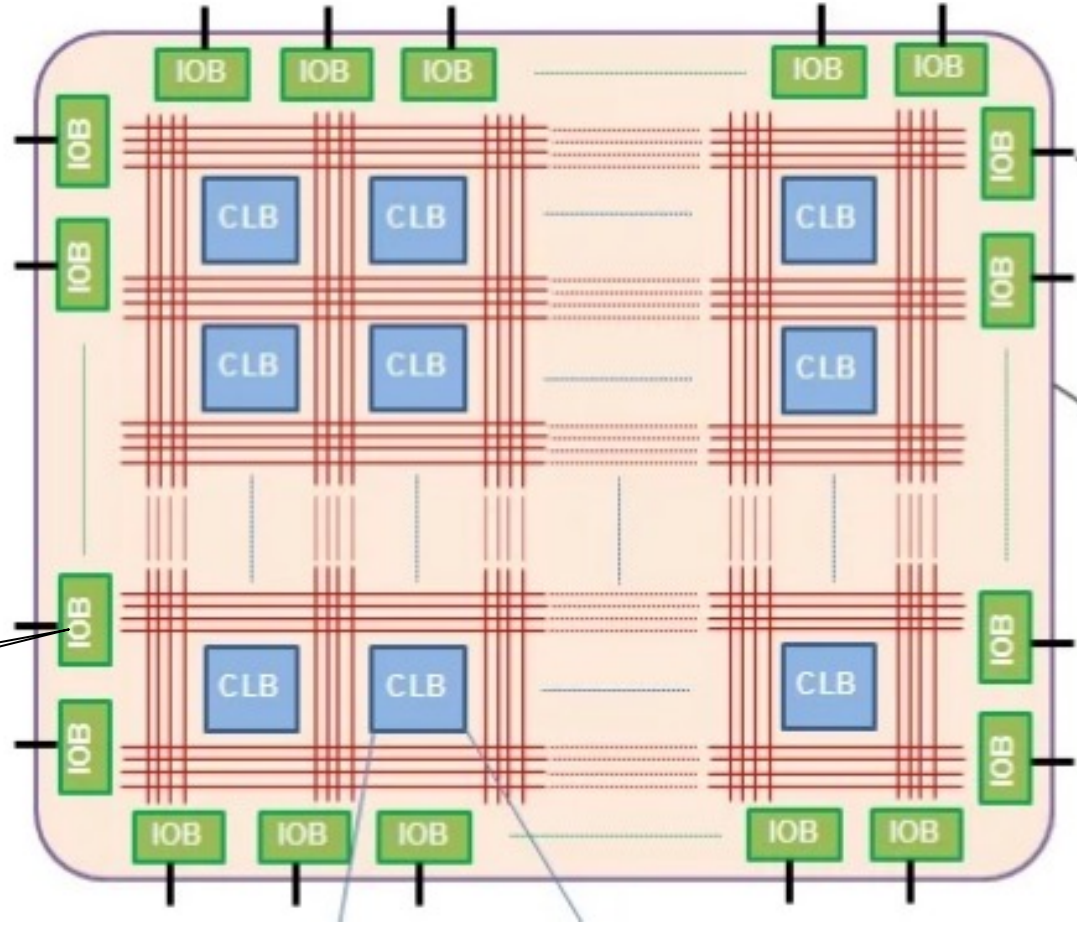




- Propojovací síť je tvořena horizontálními a vertikálními vodiči
- CLB bloky jsou na tuto síť připojeny skrze C-boxy (Connection)
- V místě průsečíku horizontálních a vertíkálních vodičů je umístěn S-Box (Switch)
- *"Island Style"* architektura
- Až 80% plochy FPGA tvoří propoje

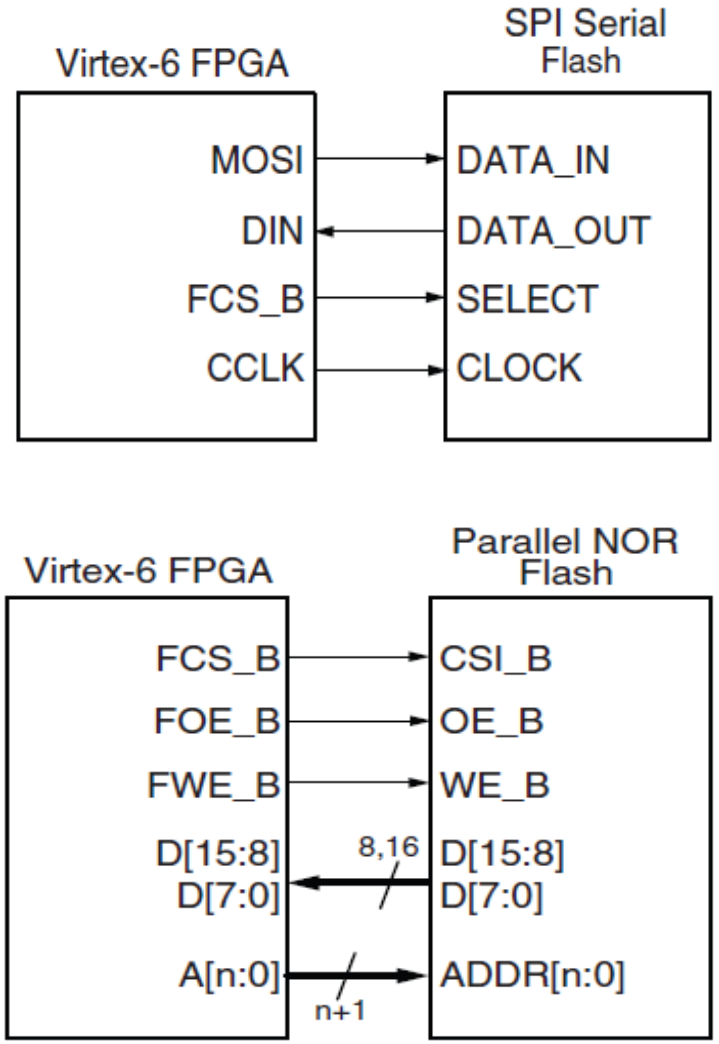


- Každý pin FPGA může být konfigurován jako vstup, výstup nebo obojí
- Jsou podporovány jednotlivé vodiče i diferenciální páry (pouze u dvou sousedních pinů)
- Je podporováno velké množství standardů:
  - LVTTL, LVCMOS, PCI33, PCI66, PCI-X, GTL, HSTL, STTL, AGP
  - LVDS, LDT, LVPECL
- Podpora DDR1,2,3,4,5, QDR
- Digitálně řízená impedance (DCI) redukuje nutnost velkého množství ukončovacích rezistorů na desce

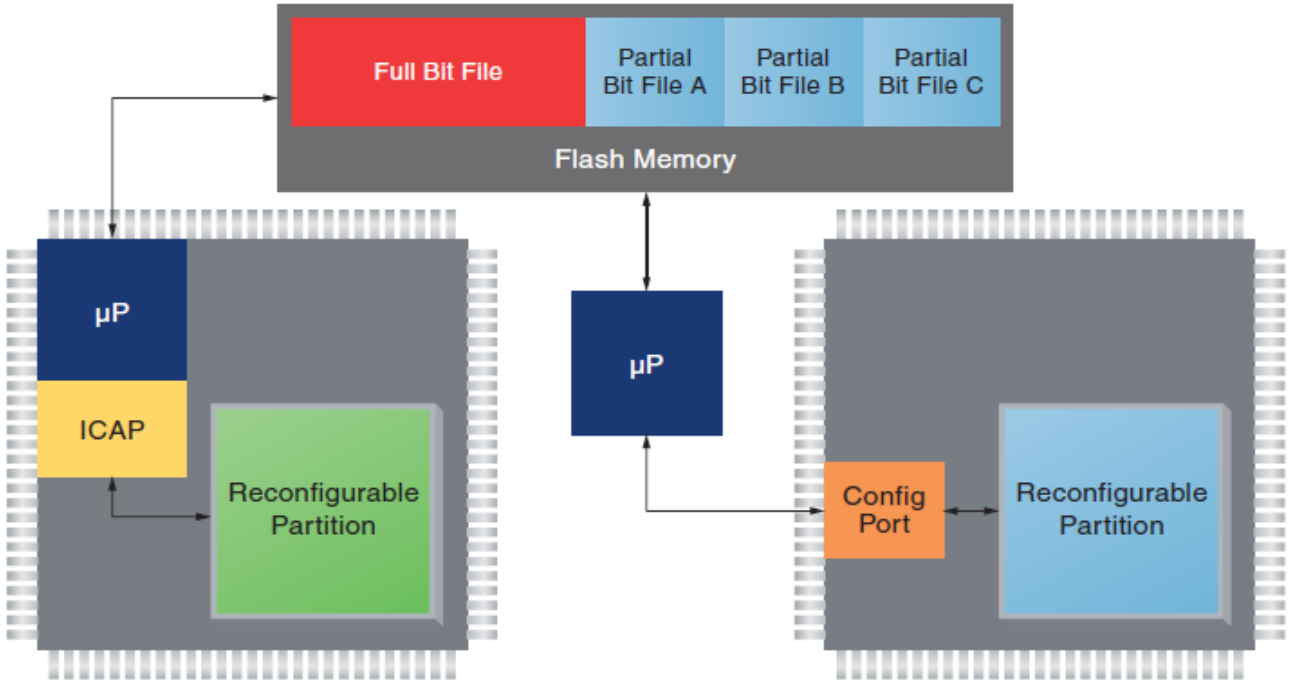


- Konfigurace FPGA zahrnuje nastavení:
  - jednotlivých FG, registrů, carry řetězců, …
  - BRAM pamětí včetně jejich počátečního obsahu
  - I/O bloků (použitá technologie, režim, připojení)
  - veškerých dalších vestavěných bloků
  - propojovacích prvků C-boxů, S-boxů
- Konfigurace je obvykle na FPGA čipu uložena v paměti typu SRAM ⇒ po vypnutí napájení se konfigurace ztrácí
- Některé typy konfigurovatelných obvodů (CPLD) používají paměť typu FLASH ⇒ omezený počet programování

- Režim Master
  - FPGA čip si sám po zapnutí nahraje konfiguraci z externí paměti
- Skrze sériové rozhraní
  - SPI
  - Nevýhodou může být delší doba pro načtení konfigurace
- Skrze paralelní rozhraní
  - BPI, SelectMAP
  - Použité vodiče obvykle nemohou být použity pro jiné účely a zvyšují cenu plošného spoje



- Možnost **rekonfigurovat** za běhu pouze část FPGA čipu
- Řídit lze z venku nebo zevnitř FPGA – přístup pomocí **ICAP** (Internal Configuration Access Port) komponenty.
- **Rekonfigurace** nabízí nové možnosti – rozsáhlé aplikace lze rozdělit na několik částí a vykonávat je postupně, úspora zdrojů, energie.



Thank You For Your Attention !