

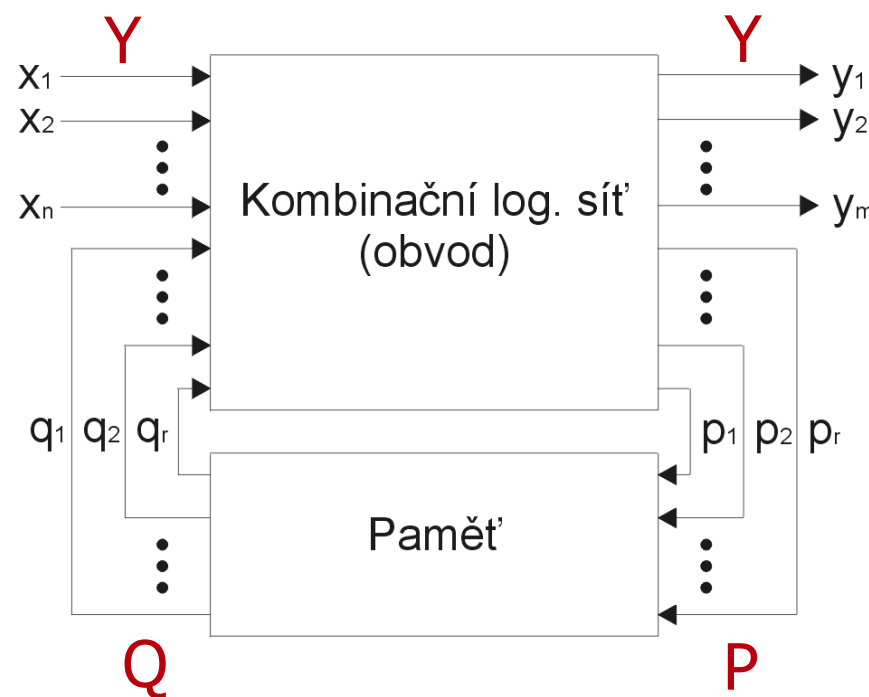
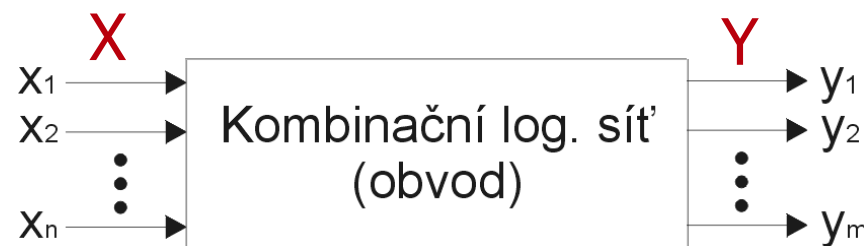
Návrh číslicových systémů (INC)

Otto Fučík

Vysoké učení technické v Brně
Fakulta informačních technologií
Božetěchova 2, 612 66 Brno



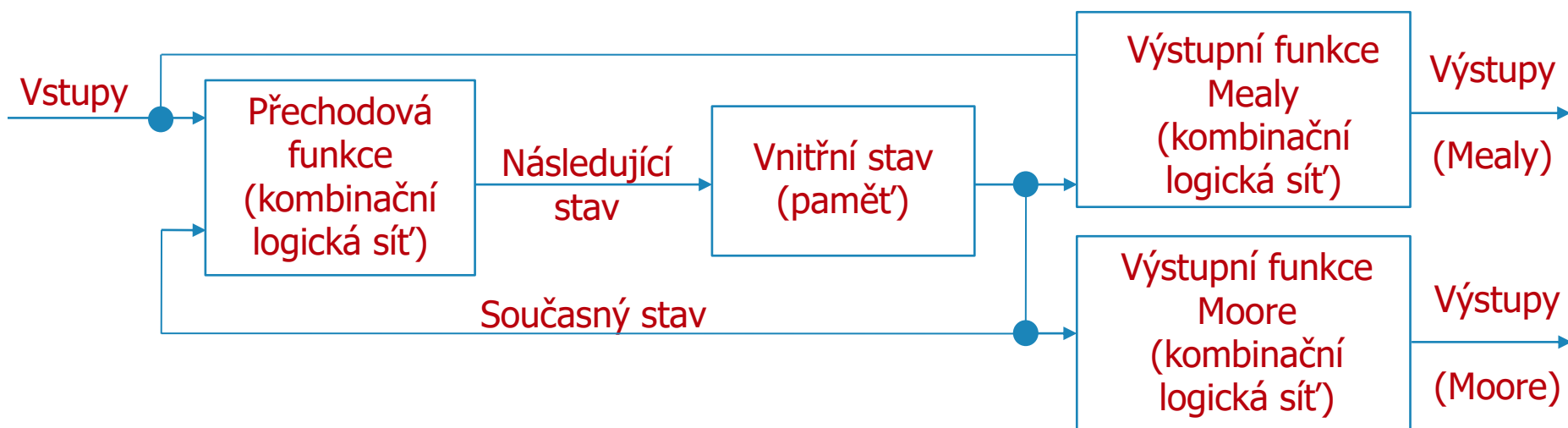
- Kombinační obvod
 - Hodnoty vektoru výstupních proměnných Y jsou funkcí hodnot vektoru vstupních proměnných X
 - Y nezávisí na předchozích hodnotách X (kromě přechodového děje – tzv. hazardu)
- Sekvenční obvod
 - Hodnoty Y jsou funkcí současných i minulých hodnot X - obvod má paměť
 - Paměť si pamatuje současný stav Q (q_i , Present State - PS)
 - Přechodová funkce - generuje vektor P následujícího stavu (q_{i+1} , Next State - NS)



- Paměť v sekvenčním obvodu uchovává vnitřní (současný) stav
 - Je volatilní - informaci lze ukládat a číst dle potřeby
- Každý vodič či elektronický prvek (např. hradlo) má zpoždění
 - Může tedy pracovat jako krátkodobá paměť
 - Např. hodnota napětí na konci vodiče se po změně hodnoty napětí na jeho vstupu změní až za dobu t , kterou trvá šíření elektronů v tomto vodiči – na konci vodiče tedy máme zapamatován současný stav, který se změní na následující až za dobu t
 - Problém - zpoždění závisí na fyzikálních vlastnostech prvku, které se mění s výrobním procesem, teplotou, napájecím napětím atd.
- Elementární volatilní paměťové prvky - klopné obvody (KO)
 - Jedná se o nejjednodušší asynchronní sekvenční obvody (jednoduchost = rychlost, snadné použití)
 - Mají dva stavy (0 a 1) – proto je nazýváme též bistabilní
 - KO budeme využívat pro stavbu složitých sekvenčních obvodů, jako paměti operandů v procesorech (registry) atd.

- Konečný automat je šestice $KA = (X, Y, Q, q_0, P, V)$, kde:
 - X - vstupní abeceda (množina hodnot vstupních proměnných)
 - Y - výstupní abeceda (množina hodnot výstupních proměnných)
 - Q - vnitřní abeceda (množina hodnot vnitřních stavů)
 - $q_0 \in Q$ - počáteční stav, ze kterého se vždy startuje (reset)
 - P - přechodová funkce ($P: X \times Q \rightarrow Q$), $q_{i+1} = P(x_i, q_i)$, pro $i=0, 1, 2, \dots, n$
 - V - výstupní funkce – Mealy, Moore nebo jejich kombinace
- Varianty konečného automatu dle výstupní funkce
 - Mealyho konečný automat
 - $y_i = V(x_i, q_i)$ - výstup je funkcí jak stavu, tak vstupu ($V: X \times Q \rightarrow Y$)
 - Mooreův konečný automat
 - $y_i = V(q_i)$ - výstup je funkcí pouze stavu ($V: Q \rightarrow Y$)
- Nedeterministický konečný automat
 - Nebudeme v rámci tohoto kurzu uvažovat

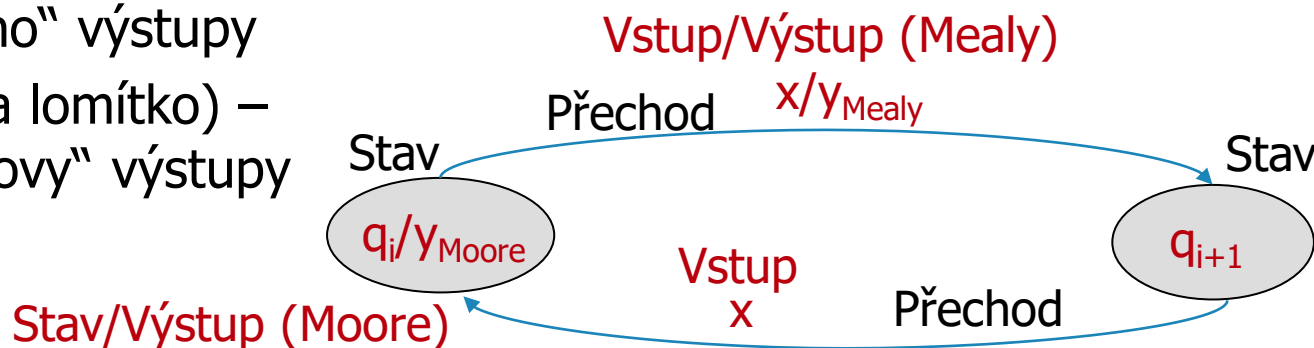
- Přechodová funkce (realizace kombinační logickou sítí - KLS)
 - Na základě vstupu a současného stavu (udržovaného v paměti) generuje hodnotu následujícího stavu automatu
- Výstupní funkce (KLS)
 - Moore - výstup je funkcí pouze současného stavu
 - Mealy - výstup je funkcí současného stavu a vstupu
- Paměť současného stavu
 - Zpoždění signálů, klopný obvod, paměť SRAM apod., viz dále



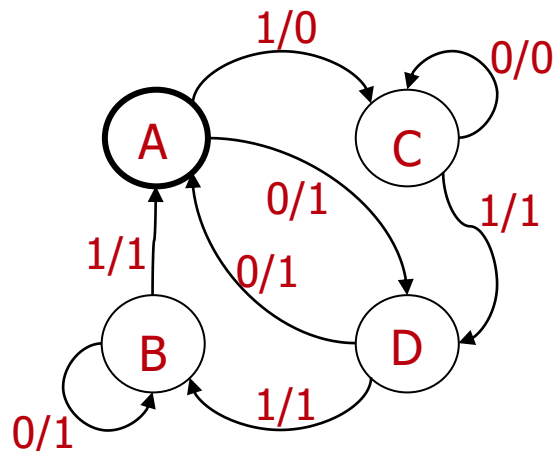
- Graf přechodů mezi stavy (state transition graph/diagram)
 - Stav – uzel
 - Počáteční stav – tučně vyznačený uzel
 - Přechod – orientovaná hrana
 - Vstupy – ohodnocení hrany
 - Výstupy (pokud existují) se přiřazují:
 - Hraně (za lomítko) – „Mealyho“ výstupy
 - Uzlu (za lomítko) – „Mooreovy“ výstupy

- Tabulka přechodů (state table, transition table)

$q_i \backslash q_{i+1}$	Vstup (x)
Současný stav / Výstup (Moore) (q_i / y_{Moore})	Následující stav / Výstup (Mealy) ($q_{i+1} / y_{\text{Mealy}}$)

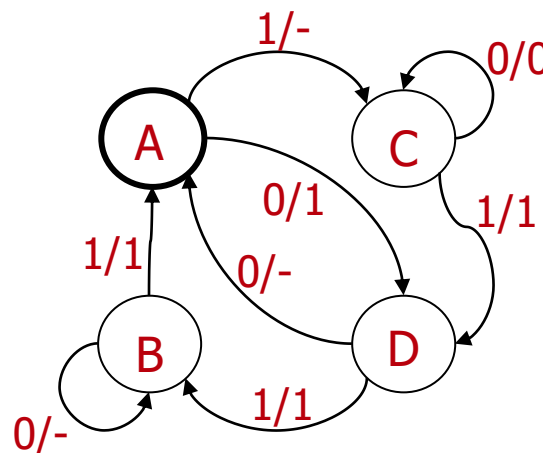


- Plně definovaný
 - Výstupní funkce je plně definována



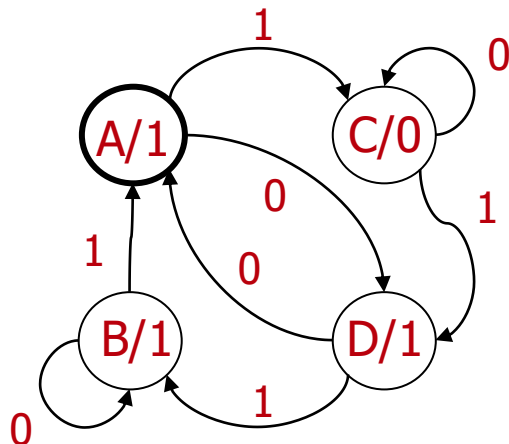
$q_i \backslash q_{i+1}$	X	
	0	1
A	D/1	C/0
B	B/1	A/1
C	C/0	D/1
D	A/1	B/1

- Neúplně definovaný
 - Výstupní funkce není plně definovaná (don't care)
 - Nedefinované hodnoty značíme "-", "X", "d"
 - Nedefinované hodnoty lze doplnit dle potřeby (viz minimalizace kombinačních sítí)
 - Graf přechodů
 - Tabulka přechodů



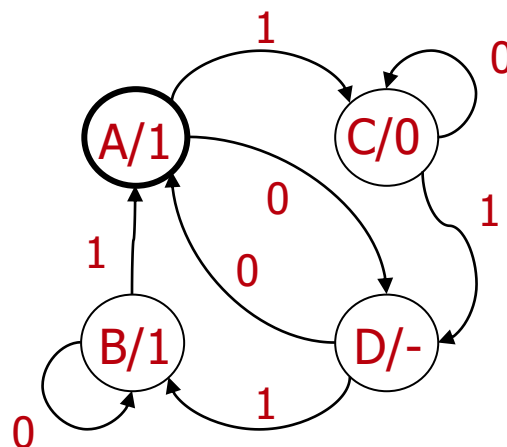
$q_i \backslash q_{i+1}$	X	
	0	1
A	D/1	C/-
B	B/-	A/1
C	C/0	D/1
D	A/-	B/1

- Plně definovaný
 - Výstupní funkce je plně definována



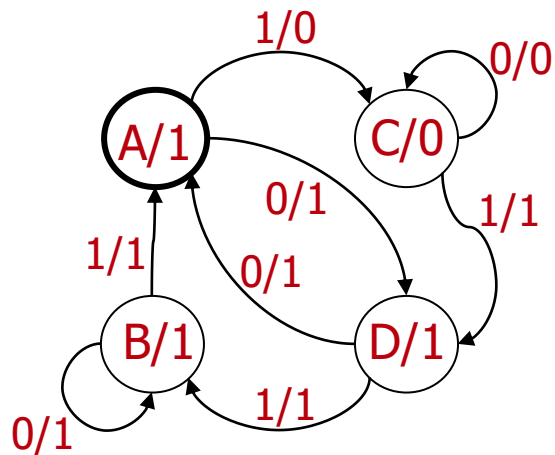
$q_i \backslash q_{i+1}$	X	
	0	1
A/1	D	C
B/1	B	A
C/0	C	D
D/1	A	B

- Neúplně definovaný
 - Výstupní funkce není plně definována (don't care)
 - Nedefinované hodnoty lze doplnit dle potřeby (viz minimalizace kombinačních sítí)
 - Graf přechodů
 - Tabulka přechodů



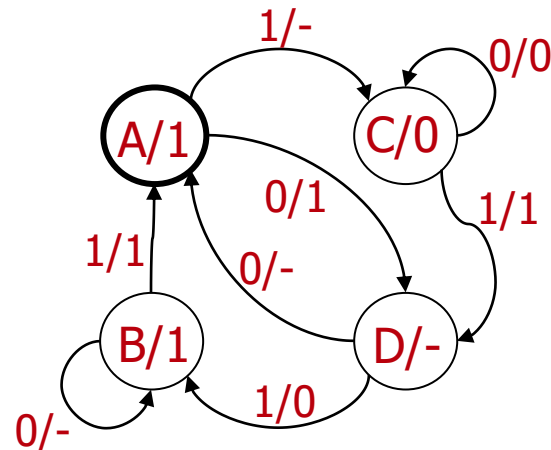
$q_i \backslash q_{i+1}$	X	
	0	1
A/1	D	C
B/1	B	A
C/0	C	D
D/-	A	B

- Plně definovaný



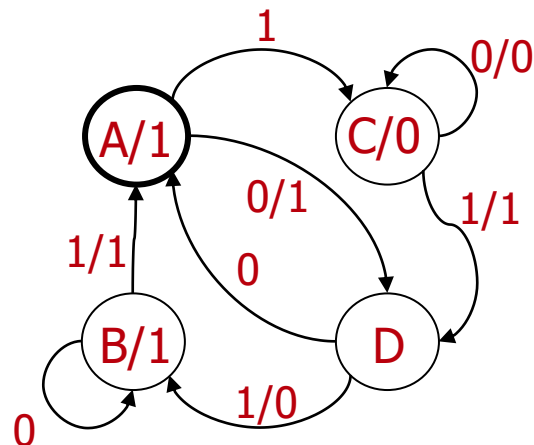
$q_i \backslash q_{i+1}$	X	
	0	1
A/1	D/1	C/0
B/1	B/1	A/1
C/0	C/0	D/1
D/1	A/1	B/1

- Neúplně definovaný



$q_i \backslash q_{i+1}$	X	
	0	1
A/1	D/1	C/-
B/1	B/-	A/1
C/0	C/0	D/1
D/-	A/-	B/1

- Nedefinované výstupy není třeba uvádět



$q_i \backslash q_{i+1}$	X	
	0	1
A/1	D/1	C
B/1	B	A/1
C/0	C/0	D/1
D	A	B/1

- Mějme následující definici automatu

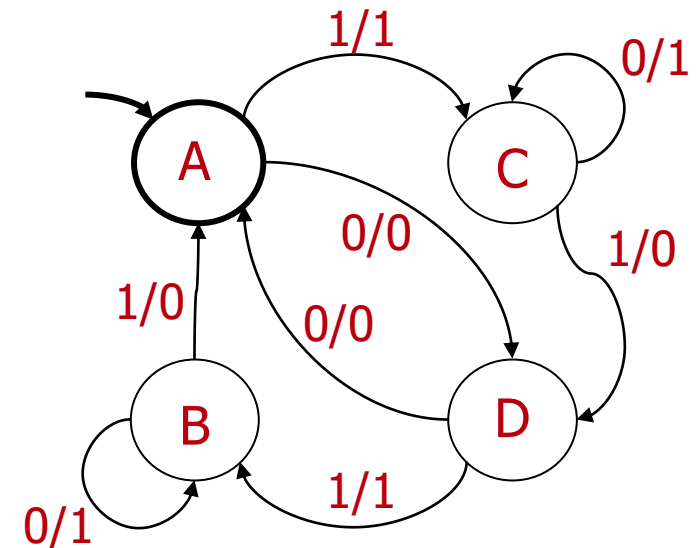
- Vstup X nabývá hodnot 0 a 1
- Výstup Y nabývá hodnot 0 a 1
- Existují čtyři stavy A, B, C a D
- Je dána tabulka přechodů a ekvivalentní graf přechodů
- Počáteční stav: A

- Jak bude automat reagovat na vstupní posloupnost

- $X=0110101100?$

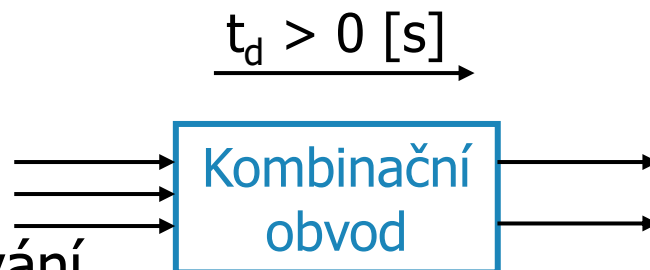
- Řešení

- $Y=0100110111$



$q_i \backslash q_{i+1}$	X	
	0	1
A	D/0	C/1
B	B/1	A/0
C	C/1	D/0
D	A/0	B/1

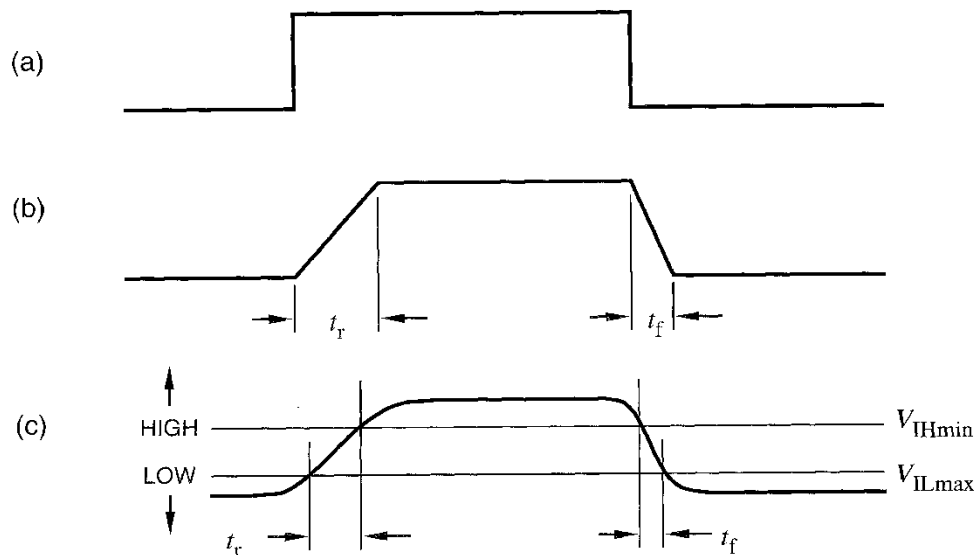
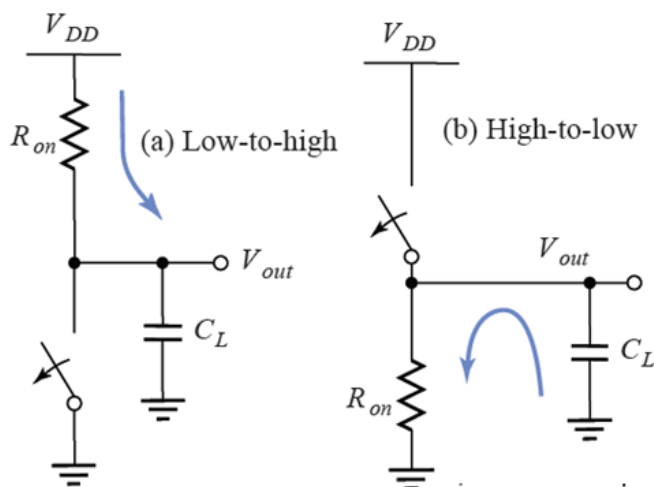
- Specifikace chování (behaviorální, funkce)
 - Definice hodnoty (logické úrovně) každého výstupu pro všechny kombinace vstupních hodnot (logických úrovní)



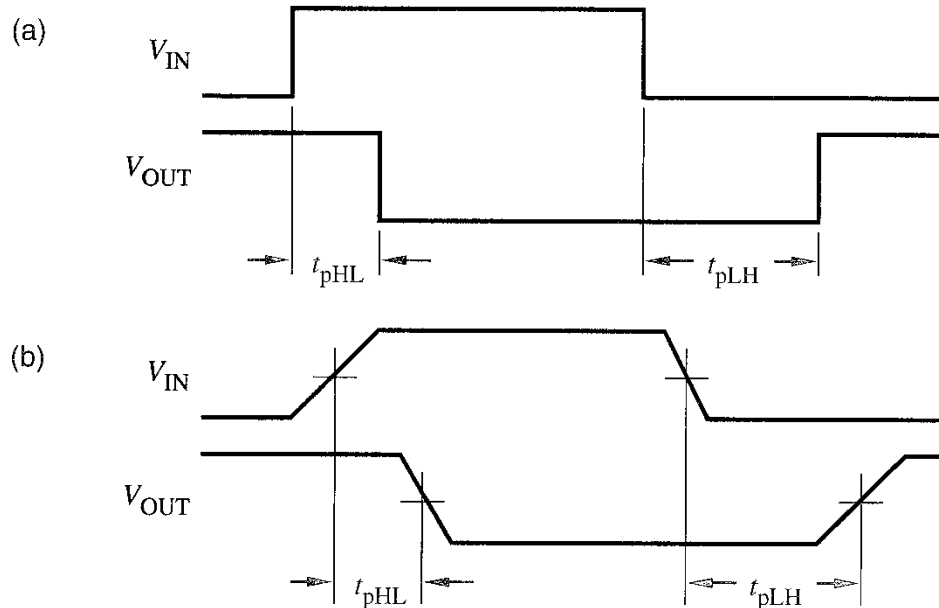
- Specifikace časování
 - Každý fyzicky realizovaný obvod má zpoždění t_d
 - Definováno např. jako nejhorší potřebná doba pro výpočet (vygenerování) platných logických hodnot výstupů od okamžiku, kdy na vstupech budou platné a stabilní logické hodnoty
 - Při návrhu se zpoždění často zanedbává ($t_d = 0$)
 - Zpoždění je třeba při implementaci obvodů zohlednit (rychlost výpočtů, hazardy – viz dále, vliv prostředí atd.)

- Časový průběh
 - Vizualizace hodnot, kterých nabývají logické proměnné (signály, hodnoty napětí) na spojích mezi logickými členy (vodiče) v průběhu času
- Zpoždění logických členů
 - Doba, za kterou se na základě změny vstupní proměnné změní výstupní proměnná
 - Definují se hodnoty: min – typické (standardní) – max
 - Je třeba navrhovat pro nejhorší případ (nejvyšší povolená teplota, nejmenší napájecí napětí)
- Vzestupná doba (rise/rising time)
 - Doba přechodu z nízké (low, 0) do vysoké (high, 1) úrovně
- Sestupná doba (fall/falling time)
 - Doba přechodu z vysoké (high, 1) do nízké (low, 0) úrovně
- Šířka pulsu (pulse width)
 - Doba, po kterou zůstane hodnota konstantní mezi dvěma změnami

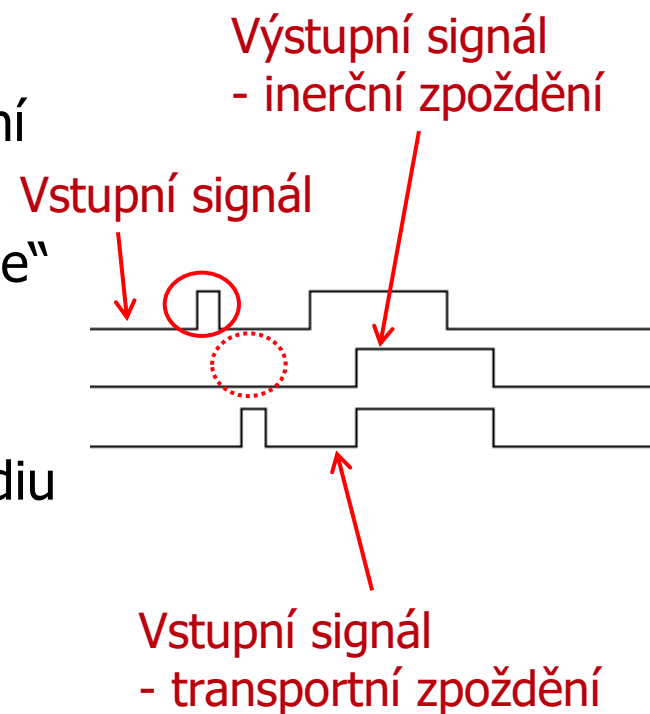
- Doba přechodů mezi log úrovněmi (transition time)
 - Je obecně různá pro přechody 0-1 a 1-0
 - Ideální případ - žádné zpoždění (a)
 - Aproximace průběhu pro analýzu (b)
 - Skutečný průběh napětí (c)
 - t_r ...doba přechodu z L do H (rise time)
 - t_f ...doba přechodu z H do L (fall time)
 - Závisí na kapacitě zátěže a na vlastnostech výstupních tranzistorů log. členů



- Doba průchodu (propagation time)
 - Je obecně různá pro přechody 0-1 a 1-0
 - Ideální případ se zanedbáním doby přechodů (a)
 - Aproximace – 50 % úrovně signálů (b)
 - t_{pHL} ...doba zpoždění ze vstupu na výstup při přechodu z H do L
 - t_{pLH} ...doba zpoždění ze vstupu na výstup při přechodu z L do H
 - Závisí na konstrukci obvodu

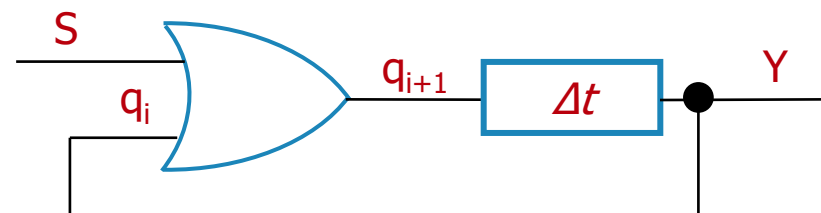
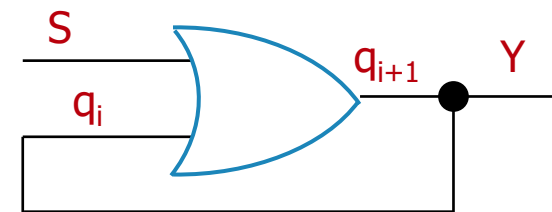


- Inerční (setrvačné) zpoždění (inertial delay)
 - Dáno součtem dob průchodů 0-1 a 1-0
 - Vzniká díky setrvačnosti příslušných elektronických prvků (parazitní kapacity, rychlost tranzistorů apod.)
 - Platí, že puls kratší, než je inerční zpoždění daného prvku, tímto prvkem neprojde
 - Příklad: Puls s délkou trvání 8 ns „neprojde“ obvodem s inerčním zpožděním 10 ns
- Transportní zpoždění (transport delay)
 - Dáno rychlostí šíření signálů v daném médiu
 - V log. systémech se uplatňuje ve spojích mezi jednotlivými log. členy
 - Transportní zpoždění není na rozdíl od inerčního v relaci s rychlostí změn signálů (délka pulsů)

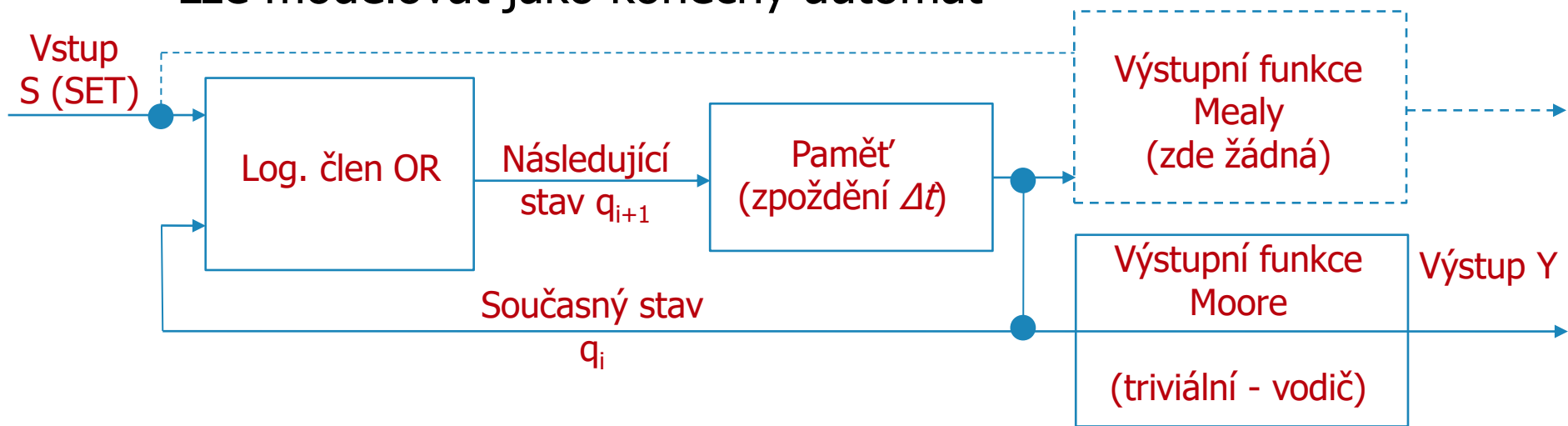


- Každý vodič či elektronický prvek (např. hradlo) má „zpoždění“, díky čemuž může pracovat jako krátkodobá paměť
 - Zpoždění lze využít pro tvorbu struktur, které jsou schopny si „pamatovat“ informaci – jedná se o elementární paměťové prvky – klopné obvody, více viz dále
- Příklad: zpoždovací linka
 - Využívá konečné rychlosti šíření signálů (akustických, elektrických apod.) ve vhodném médiu (rtuť, vodič apod.)
 - Informace vložená do linky na jejím začátku se objeví na jejím konci až za jistou dobu – linka si informaci po jistou dobu „pamatuje“
 - Využíváno např. v prvních elektronických počítačích

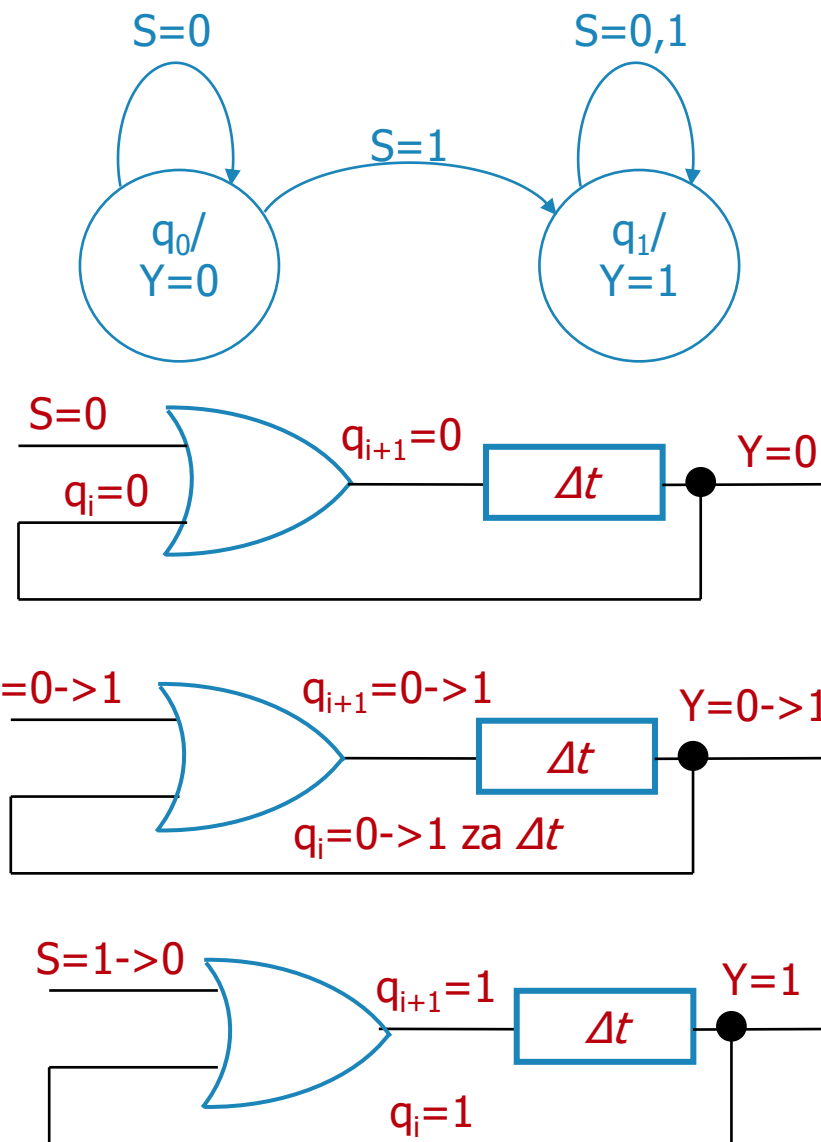
- Vezměme hradlo (např. OR)
 - Zaved'me zpětnou vazbu
 - Excitační vstup - S (SET)
 - Výstup Y (Mooreův)



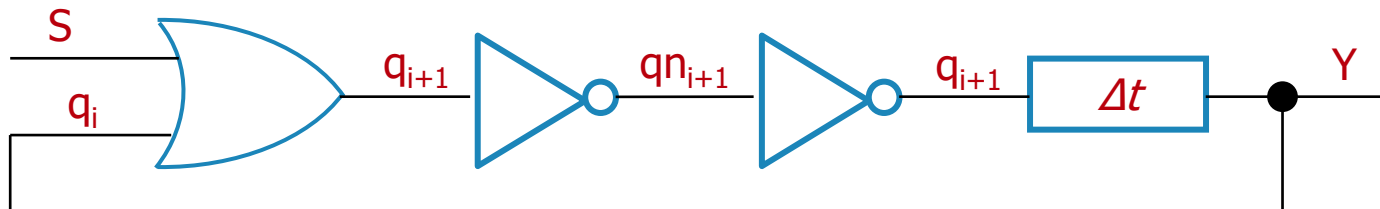
- Obvod má sekvenční chování
 - Díky zpoždění má krátkodobou paměť vnitřního stavu
 - Lze modelovat jako konečný automat



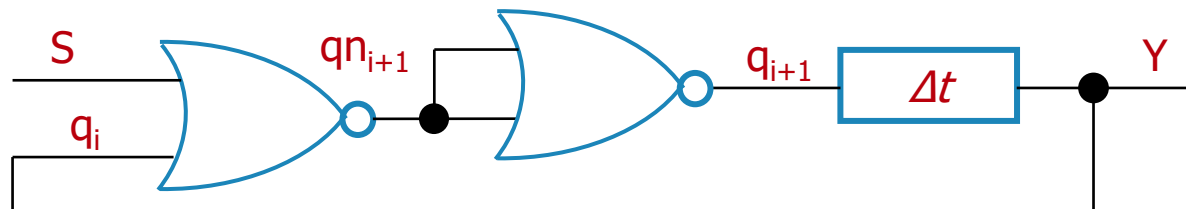
- Graf přechodů
 - Obvod má dva stavy q_0 a q_1
 - Předpokládejme, že je obvod na počátku ve stavu q_0
 - Pokud přivedeme log.0 na vstup S , obvod setrvá ve stavu q_0 - výstup $Y=0$
 - Pokud přivedeme log.1 na vstup S , obvod přejde do stavu q_1 - výstup $Y=1$
 - Pokud položíme $S=0$ či $S=1$, obvod zůstane (do odpojení napájení) ve stavu q_1 - výstup $Y=1$
- Nepříliš užitečná funkce...



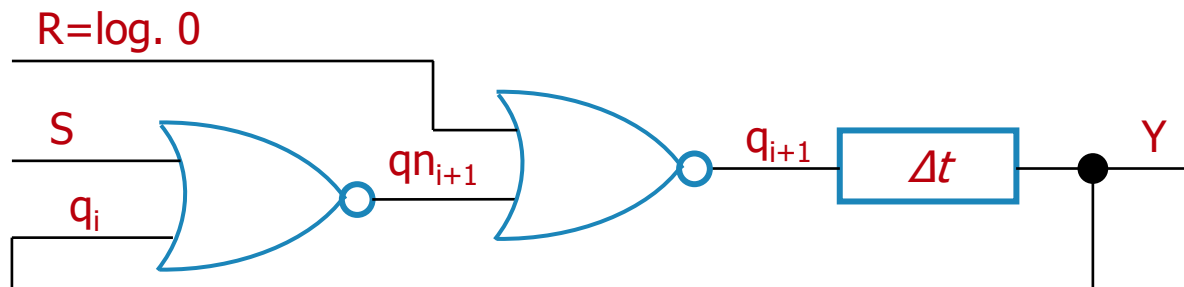
- Za hradlo OR zařadíme dva invertory



- Hradlo OR a invertory nahradíme dvěma hradly NOR



- Na vstup (nazvěme jej R – RESET) druhého hradla NOR přivedeme log. 0 – funkce stejná jako u obvodu SET



- R-S Latch

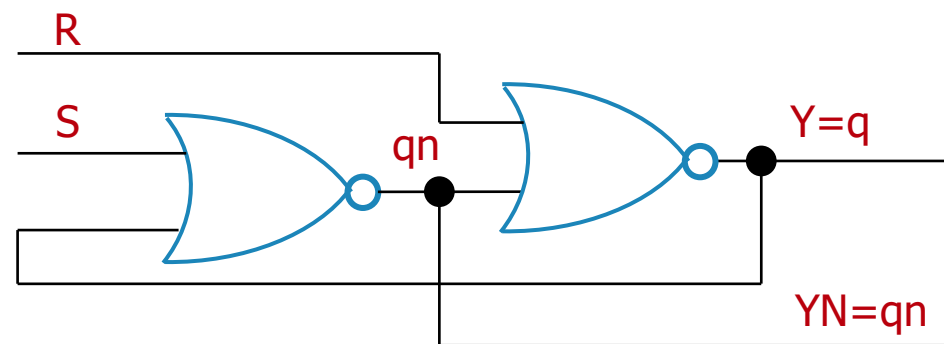
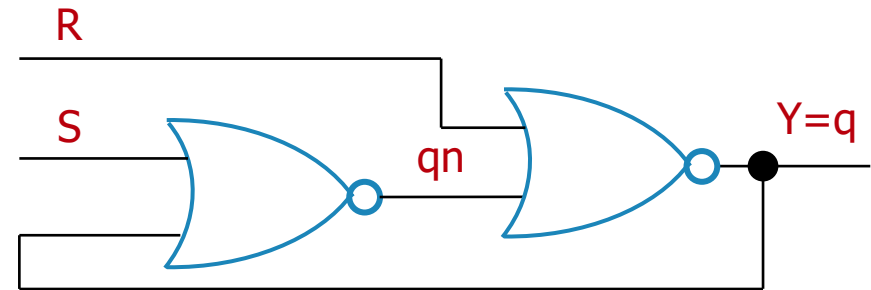
- Sekvenční obvod RESET-SET nazýváme R-S klopný obvod (KO)
- Obvod se překlápí mezi stavy log. úrovněmi (hladinami) na vstupech R a S – nazýváme jej hladinový (anglicky R-S Latch)
- Po změně hodnoty (excitaci) některého ze vstupů přejde obvod (po uplynutí doby Δt) ze stavu q_i do stavu q_{i+1}
- Signály q_i , q_{i+1} a Y se ustálí na stejné hodnotě ($q_i = q_{i+1} = Y$)

- V ustáleném stavu (po přechodu) můžeme tedy obvod překreslit bez zpoždění

- Pamatujeme si ale, že reálný obvod má zpoždění vždy

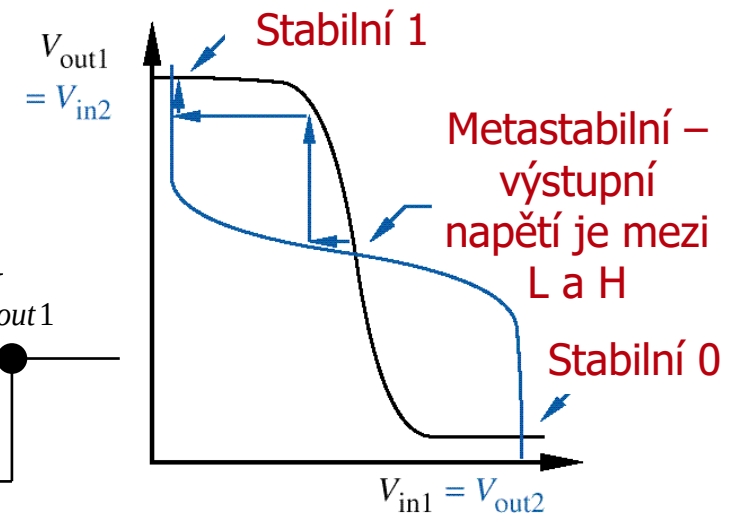
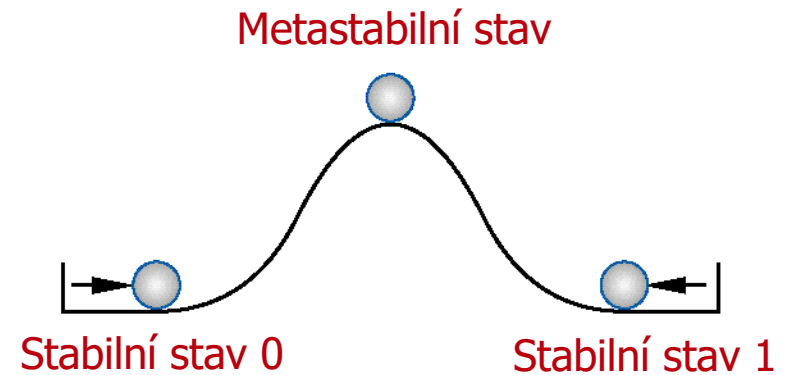
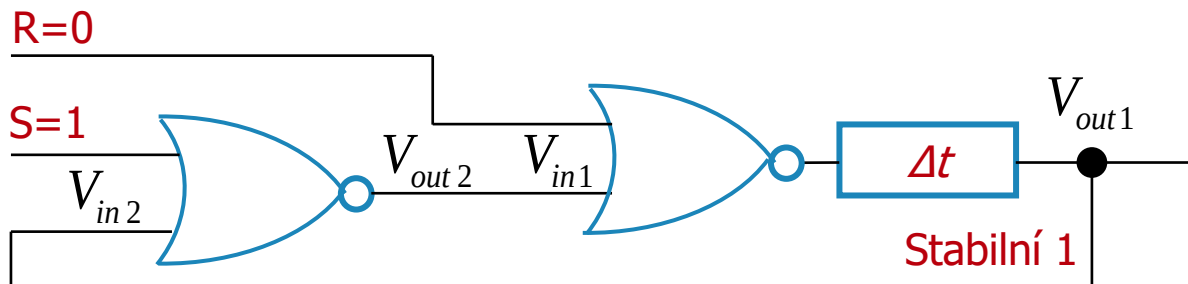
- V praxi je výhodné mít i komplementární výstup YN

- Dostáváme tzv. R-S KO sestavený z hradel NOR

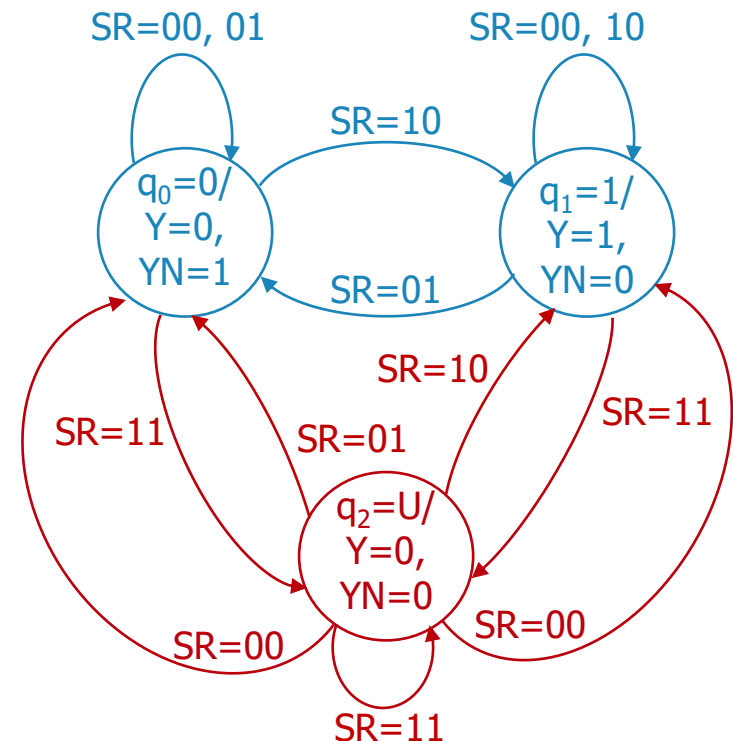


- Klopné obvody mají pouze dva stabilní stavy - jsou bistabilní
- Je žádoucí, aby přechody mezi stavy byly co nejkratší
 - Omezení doby trvání tzv. metastabilního stavu
- Po přivedení napájecího napětí se náhodně překlopí do stavu 0 či 1
- Přechodové funkce klopného obvodu

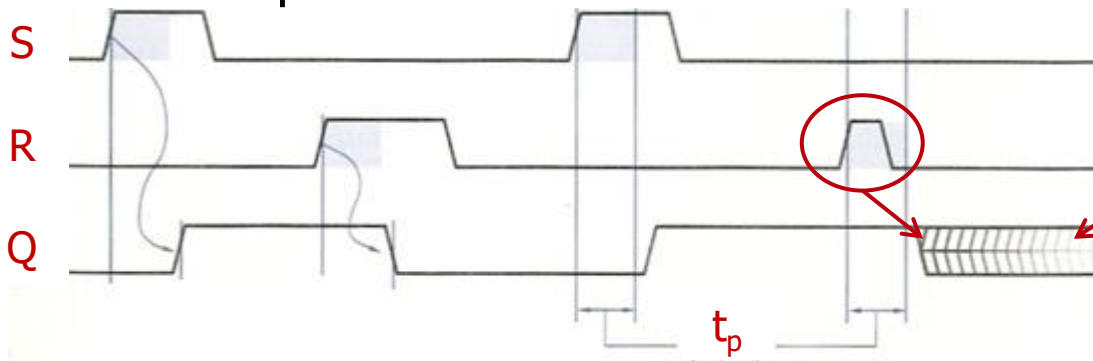
$$V_{out1} = f(V_{in1}) \quad V_{out2} = f(V_{in2})$$



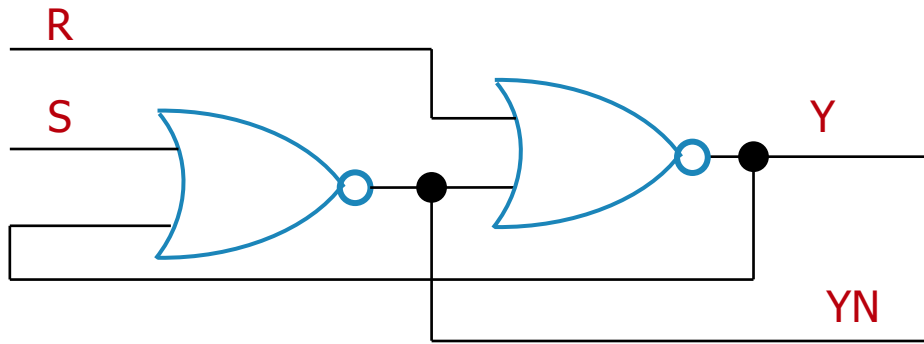
-
- The diagram shows a D flip-flop implemented with two NOR gates. The first NOR gate has inputs R and S, and its output is labeled qn . The second NOR gate has inputs qn and qn (feedback), and its output is labeled $Y=q$. The output $Y=q$ is also labeled $YN=qn$.



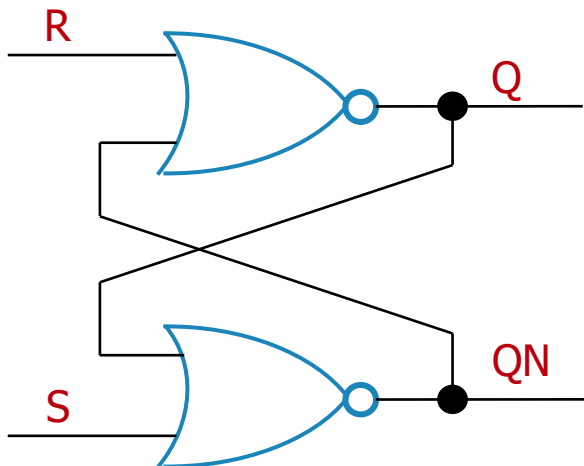
- Pokud R-S KO z hradel NOR uvedeme nedovolenou kombinací vstupů $S=R=1$ do stavu, ve kterém jsou oba výstupy v log.0, a pak na vstupy přivedeme současně $S=R=0$, může KO zareagovat následovně:
 1. Přejde náhodně do stavu q_0 ($Y=0$) nebo q_1 ($Y=1$)
 2. Bude oscilovat mezi stavy ($Y=0 \rightarrow 1 \rightarrow 0 \rightarrow 1 \dots$)
 3. Přejde na nedefinovanou dobu do metastabilního stavu ($Y \neq \{0,1\}$)
- Podobně může KO reagovat, pokud jsou na vstupech S a R pulsy kratší, než je definovaná doba t_p - puls $0 \rightarrow 1 \rightarrow 0$
 - Pozn.: pro R-S KO sestavený z hradel NAND platí výše vedené s komplementárními hodnotami na excitačních vstupech



Metastabilní stav -
hodnota napětí
na výstupu Y bude mezi L
a H a po nedefinované
době přejde do L nebo H

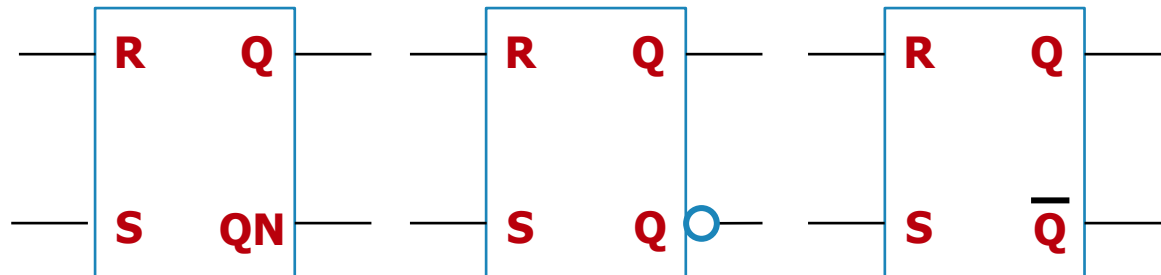


- Alternativní způsob kreslení
 - V literatuře se často výstupy značí Q a QN místo Y a YN



• Symbol

- Komplementární výstup se značí
 - Q s „bublinou“
 - QN
 - $\overline{Q}$ apod.
- Pozn.: Není správné značit QN a „bublinou“ zároveň = dvojí negace (v literatuře se však často vyskytuje)



- Tabulka přechodů (stavů)

$Q_i \backslash Q_{i+1}$	SR			
	00	01	10	11
0	0	0	1	U
1	1	0	1	U

U=0 pro KO z hradel NOR

- Excitační (Karnaughova) mapa

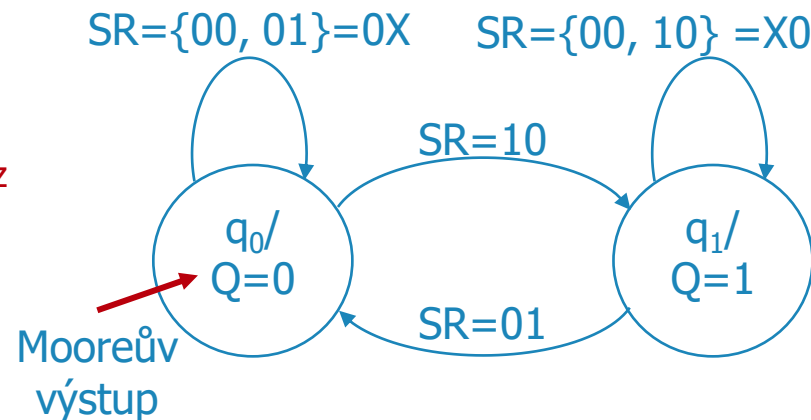
- Bude probíráno později

$Q_i \backslash SR$	00	01	11	10
0	0	0	U	1
1	1	1	0	U

- Poznámka

- Pro značení stavů budeme v případě klopných obvodů používat velké písmeno Q (Mooreův výstup, kód stavu = hodnotě výstupu)

- Graf přechodů



- Charakteristická rovnice

- Z excitační mapy nalezneme výraz pro následující stav Q_{i+1}
- Výraz je ve tvaru

$$Q_{i+1} = (\text{podmínka nastavení}) + (\text{podmínka přidržení}) \cdot Q$$

$$Q_{i+1} = S + \bar{R} \cdot Q$$

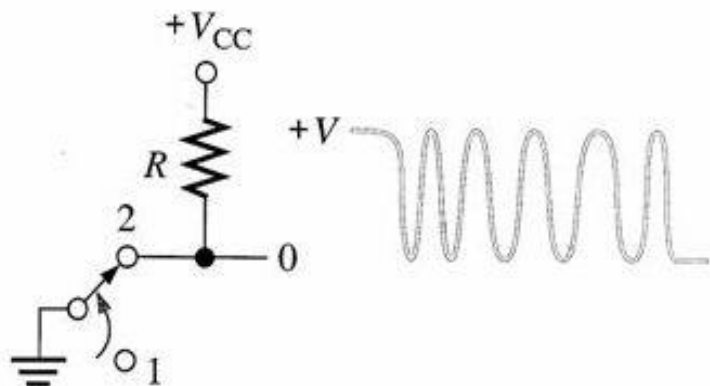
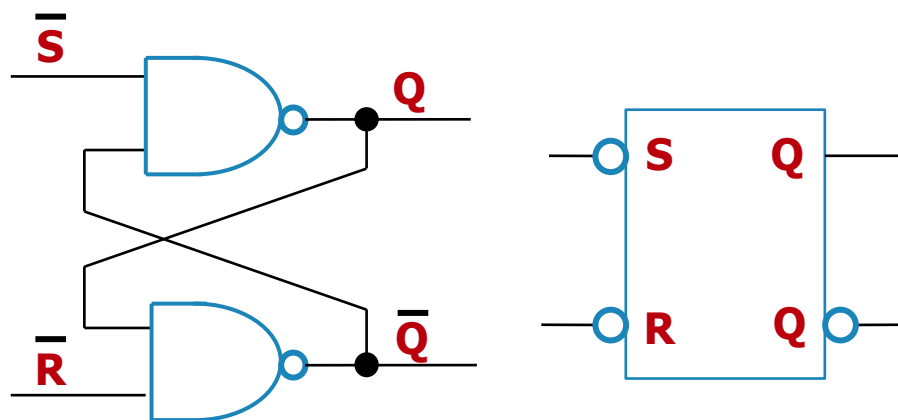
- Excitační tabulka (budicí tabulka)
 - Definuje následující stav - na základě hodnot na excitačních vstupech a současného stavu
- Slovník přechodů (inverzní tabulka, input table)
 - Na základě současného a požadovaného následujícího stavu definuje potřebné hodnoty na excitačních vstupech

Vstupy		Současný stav Q	Následující stav Q_{i+1}	Činnost
S	R			
0	0	0	0	Beze změny - přidrž, pamatuj (Hold)
0	0	1	1	
0	1	0	0	Nuluj (Reset)
0	1	1	0	
1	0	0	1	Nastav (Set)
1	0	1	1	
1	1	0	U	Nedovolená kombinace
1	1	1	U	

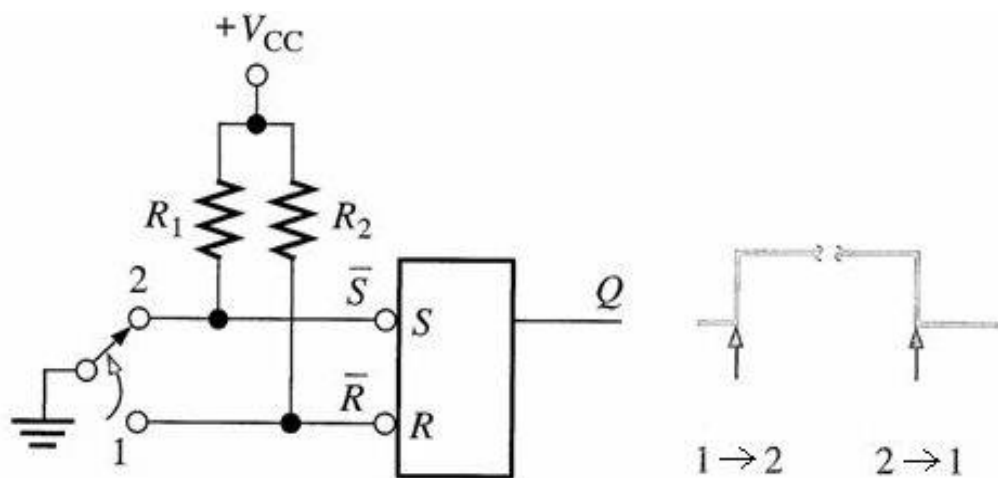
Q_i	Q_{i+1}	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

- Poznámka
 - Pro nedovolenou kombinaci vstupů má KO nedefinovaný stav U - v reálném NOR S-R KO budou oba výstupy v log.0

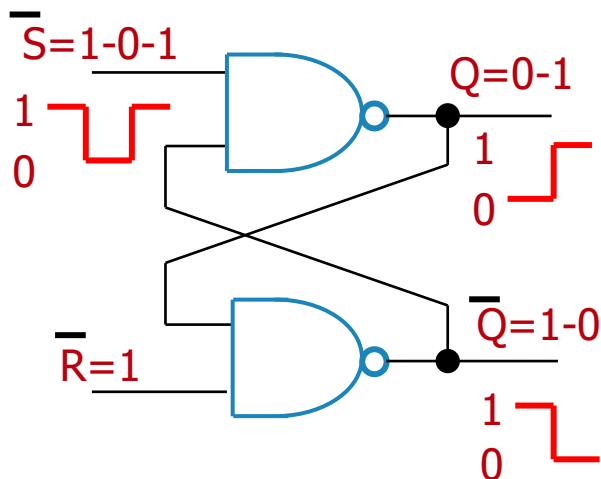
- Realizace pomocí log. členů NAND
 - Excitační vstupy jsou aktivní v nule



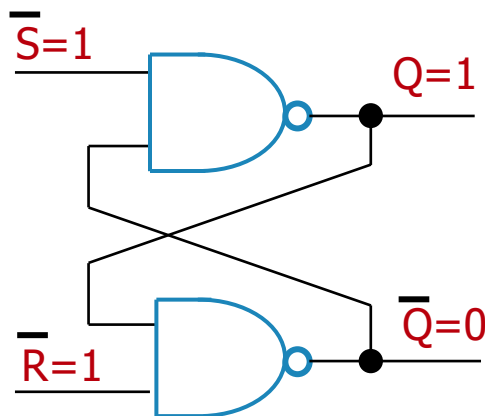
- Příklad možného použití
 - Při sepnutí spínače dochází ke kmitání kontaktů
 - Dáno jejich mechanickými vlastnostmi - nežádoucí jev
- Eliminace zákmitů
 - První aktivní kmit se zapamatuje a další již nemění výstup KO



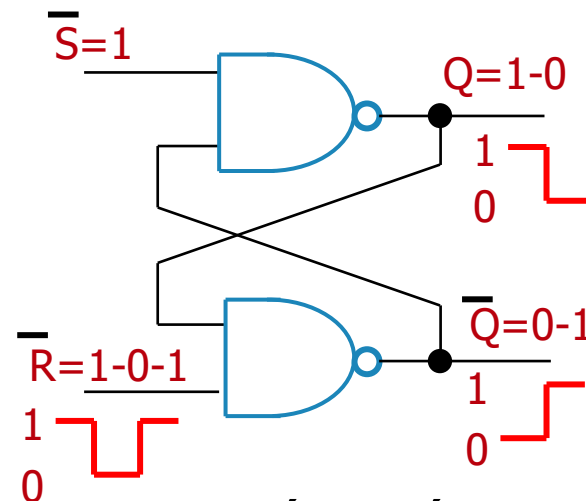
RESET-SET



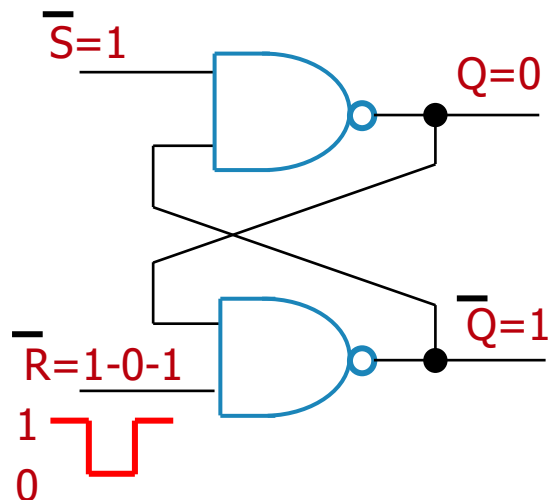
HOLD



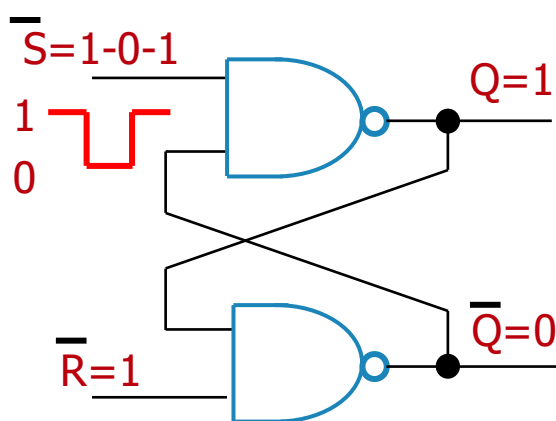
SET-RESET



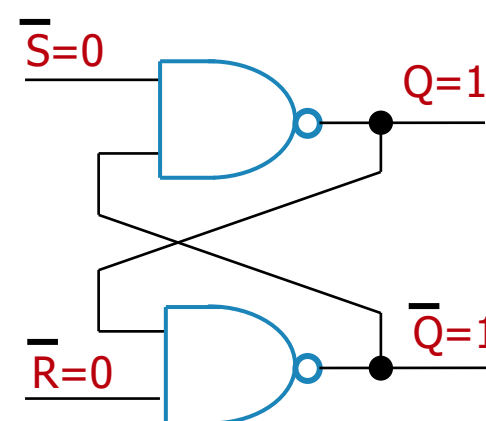
RESET-RESET



SET-SET

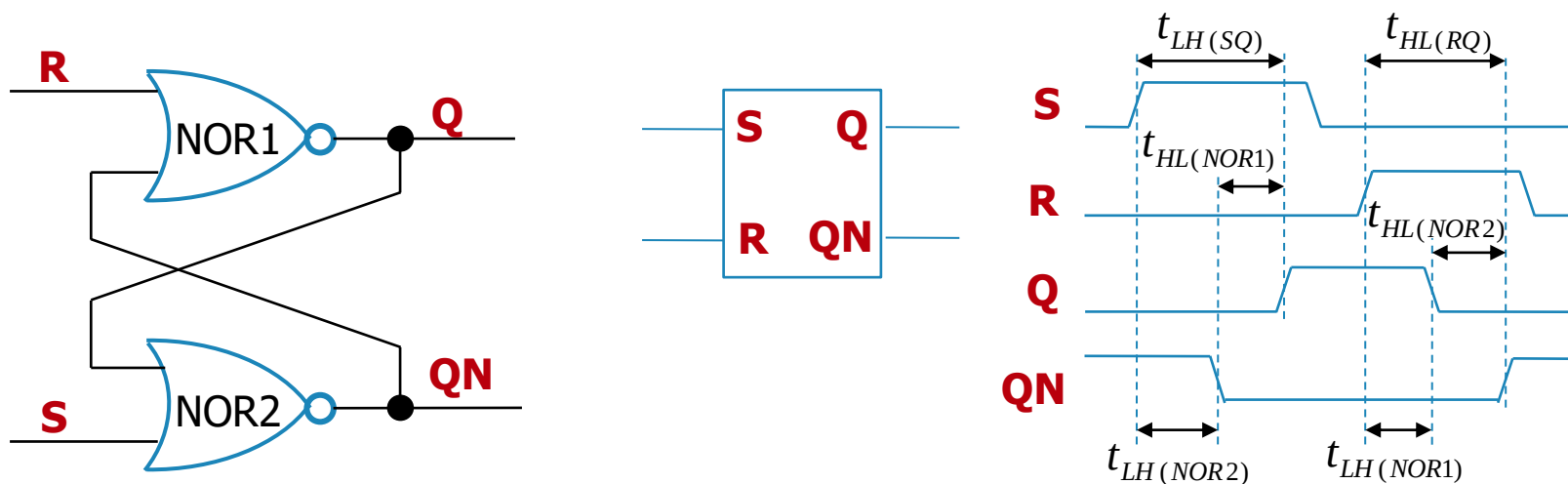


ZAKÁZANÉ

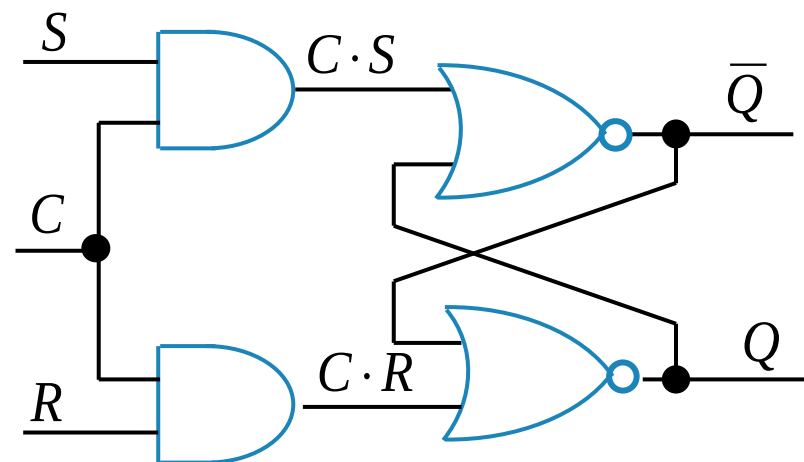
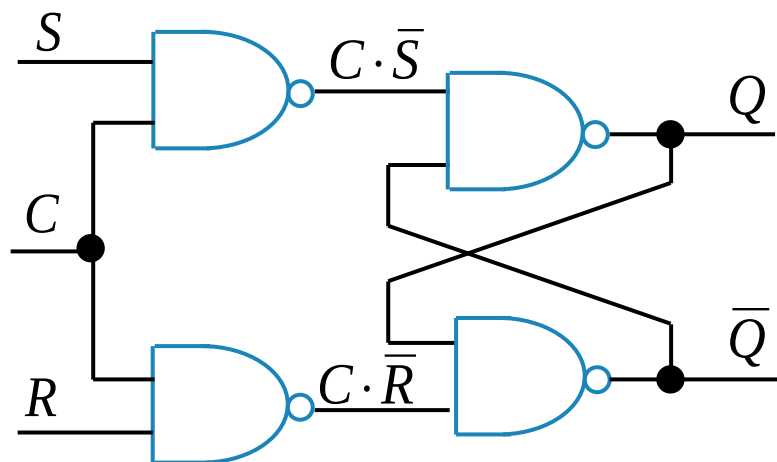
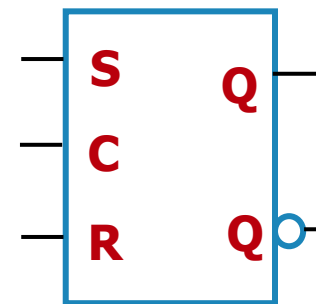


• R-S KO hladinový (NOR)

- Reálné obvody mají zpoždění (nereagují okamžitě)
- t_{HL} – zpoždění od okamžiku aktivní log. úrovně na excitačním vstupu k přechodu výstupu z úrovně H na úroveň L
- t_{LH} – zpoždění od okamžiku aktivní log. úrovně na excitačním vstupu k přechodu výstupu z úrovně L na H
- Výstupy Q a QN nejsou v době přechodových dějů komplementární (u NOR R-S KO QN reaguje rychleji na S, resp. Q na R)



- Gated R-S Latch
 - Povolovací vstup C (Control, Enable) - přídavný vstup, který povoluje činnost KO – obvod lze nastavit či nulovat, jen pokud je vstup C aktivní (zde např. $C=1$)
- Logický symbol
- Realizace pomocí NOR R-S KO
- Realizace pomocí NAND R-S KO

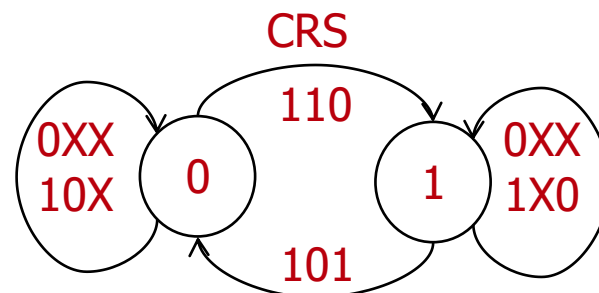


Excitační tabulka

Povolovací vstup C	Vstupy		Současný stav Q	Následující stav Q_{i+1}	Činnost
	S	R			
0	X	X	0	0	Pamatuj - přidrž (Hold)
0	X	X	1	1	
1	0	0	0	0	
1	0	0	1	1	
1	0	1	0	0	Nuluj (Reset)
1	0	1	1	0	
1	1	0	0	1	Nastav (Set)
1	1	0	1	1	
1	1	1	0	U	Nedovolená kombinace
1	1	1	1	U	



Graf přechodů



Charakteristická rovnice

$$Q_{i+1} = S \cdot C + (\bar{R} + \bar{C}) \cdot Q$$

Přechod ze „zakázaného“ stavu

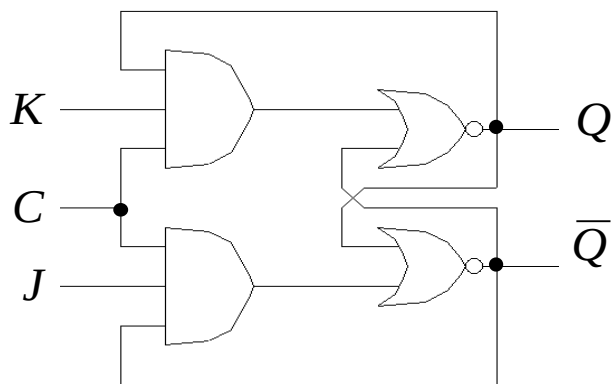
- Metastabilní stav

Časový diagram pro R-S KO realizovaný z hradel NAND:

$S=R=C=1 \rightarrow Q=QN=1(U)$

$S=R=1, C=0 \rightarrow$ metastabilní stav

- Gated J-K Latch
- Zavedením zpětné vazby lze eliminovat zakázanou kombinaci R-S KO ($R=S=1$)
- J-K = Jack Kilby (patent 1958)
 - Vstupy J (místo S), resp. K (místo R)
- Excitační tabulka
- Příklad realizace – logické schéma
 - S použitím R-S KO NOR

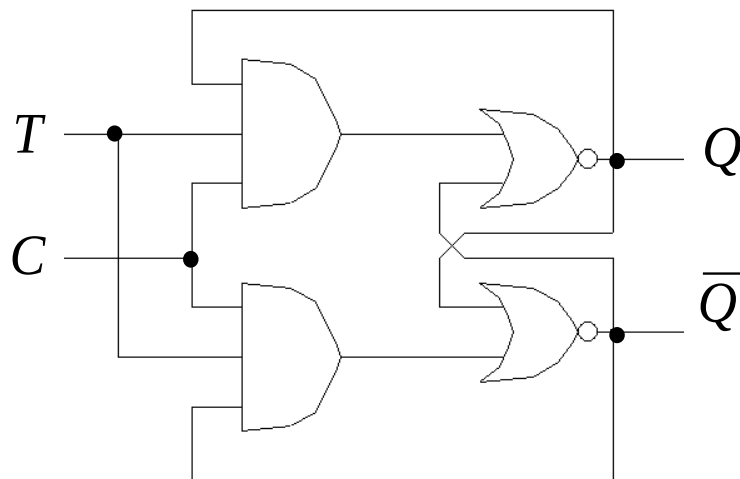


C	J	K	Q	Q_{i+1}	Činnost
0	X	X	0	0	Pamatuji (Hold)
0	X	X	1	1	
1	0	0	0	0	
1	0	0	1	1	Reset
1	0	1	0	0	
1	0	1	1	0	Set
1	1	0	0	1	
1	1	0	1	1	Překlop (Toggle)
1	1	1	0	1	
1	1	1	1	0	

J-K KO řeší problém s „nedovolenou kombinací“ $R=S$ vstupů R-S KO (funkce Toggle)

- Gated T Latch

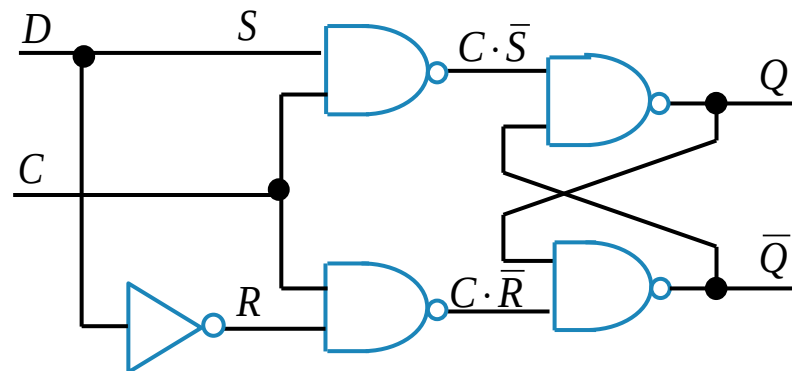
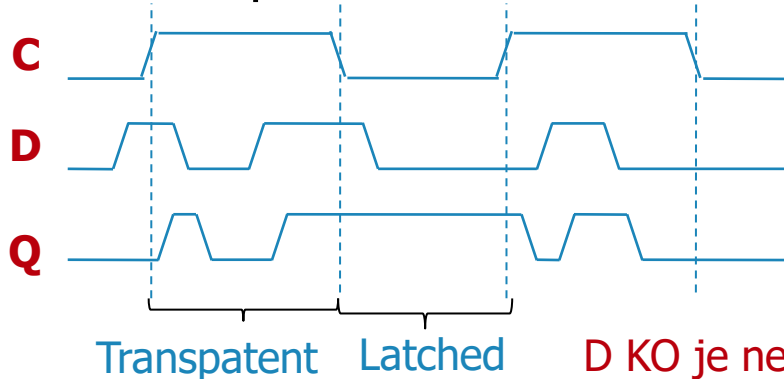
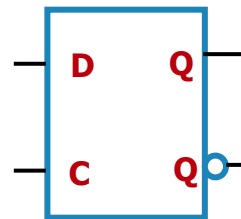
- Spojení vstupů J-K KO vznikne klopný obvod typu T (Toggle, Trigger)



C	T	Q	Q_{i+1}	Činnost
0	0	0	0	Pamatuji (Hold)
0	1	1	1	
1	0	0	0	
1	0	1	1	
1	1	0	1	Překlop (Toggle)
1	1	1	0	

- Pokud je $C=J=K=1$, resp. $C=T=1$, tak výstupy J-K, resp. T KO se mohou neustále překlápět (oscilovat)
 - Oscilace lze eliminovat - hodinový puls musí být kratší, než je doba průchodu signálu klopným obvodem, Master-Slave struktura KO, Edge-Triggered struktura KO (viz dále)

- D Latch, Delay Latch, Transparent Latch
 - Příklad obvodu z NAND R-S KO hladinového s povolovacím vstupem
 - Propojení vstupu R se vstupem S přes invertor
- Transparentní mód
 - Na základě aktivní úrovně povolovacího signálu se přenáší data ze vstupu D na výstup Q
- Latch mód
 - Na základě neaktivní úrovně hodinového signálu se na výstupu Q podrží (přidrží, blokuje, pamatuje) poslední hodnota vstupních dat D

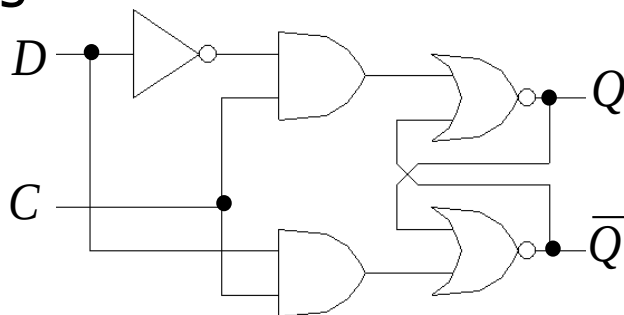


D KO je nejčastěji používaným typem KO

- Excitační tabulka
 - Store – ulož log.0, nebo log.1
 - Hold – pamatuj

C	D	Q	Q _{i+1}	Činnost
0	X	0	0	Pamatuj (Hold)
0	X	1	1	
1	0	0	0	Ulož 0 (Store 0)
1	0	1	0	
1	1	0	1	Ulož 1 (Store 1)
1	1	1	1	

- Logické schéma (z NOR R-S KO)



- Charakteristická rovnice

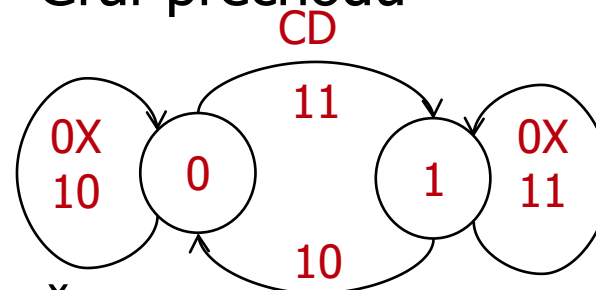
$$Q_{i+1} = S \cdot C + \bar{R} \cdot q + \bar{C} \cdot Q$$

$$= D \cdot C + \bar{D} \cdot Q + \bar{C} \cdot Q$$

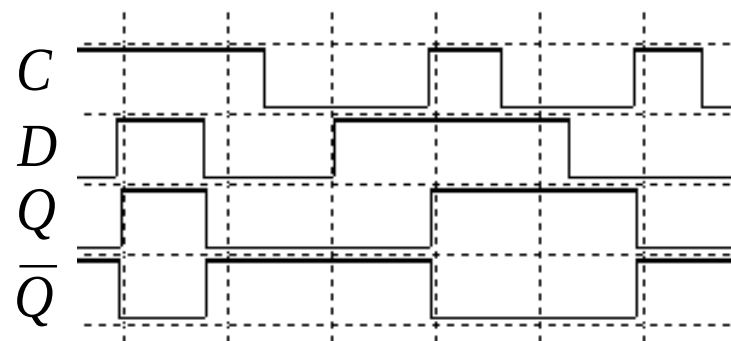
$$= D \cdot C + D \cdot Q + \bar{C} \cdot Q$$

$$= D \cdot C + \bar{C} \cdot Q$$

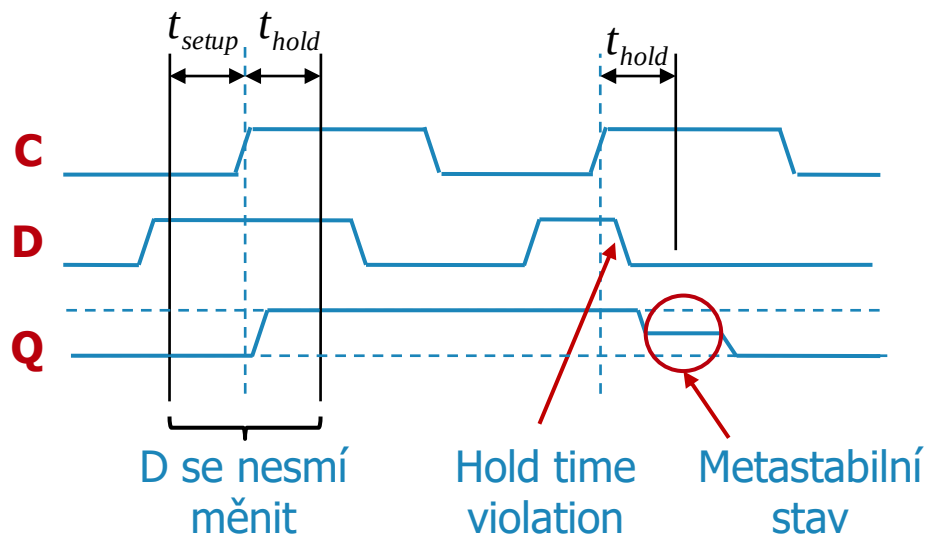
- Graf přechodů



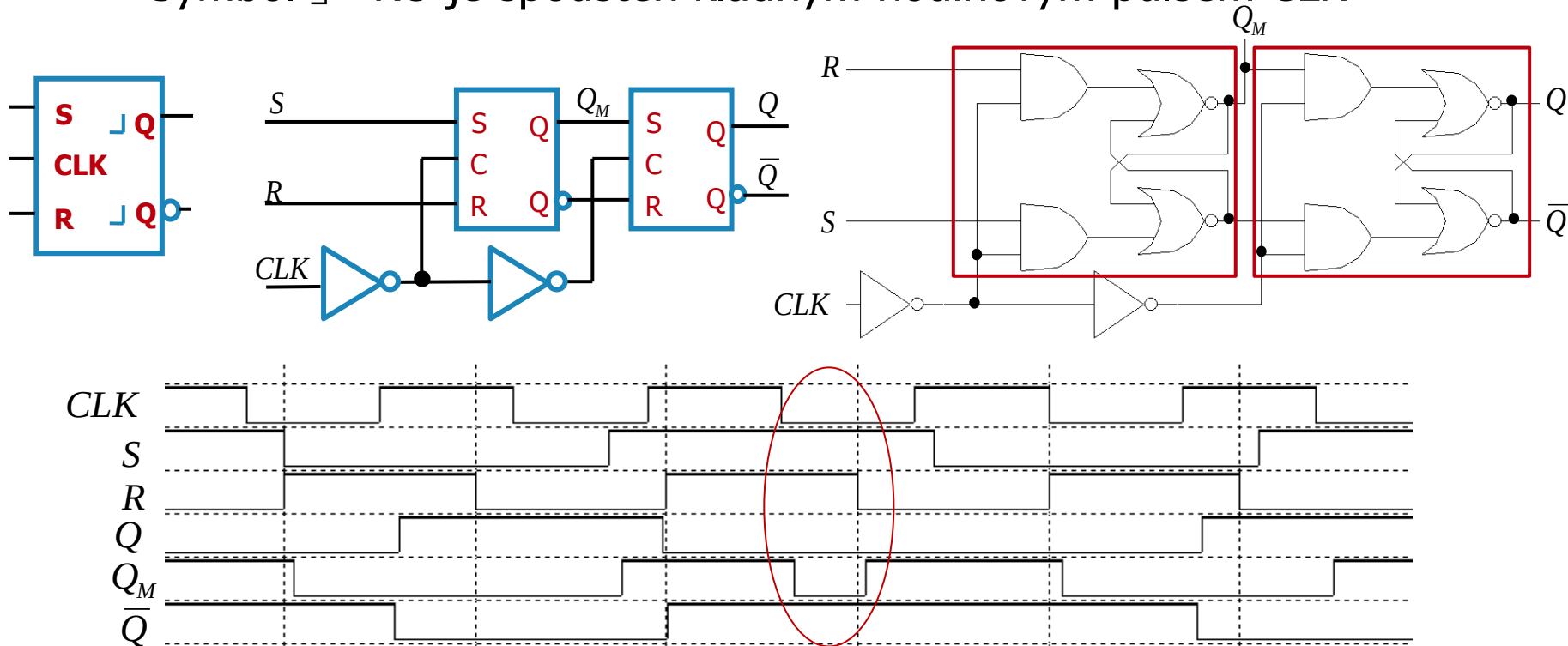
- Časový diagram



- Varianta z hradel NAND

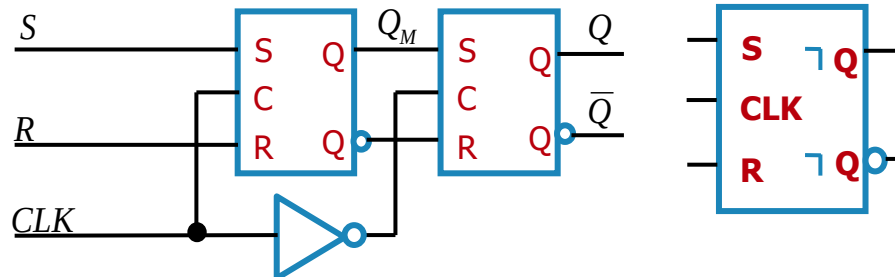


- Master-Slave R-S Flip-Flop spouštěný kladným pulsem
 - Realizace pomocí dvou R-S KO s povolovacím vstupem
 - Informace z excitačních vstupů se při $CLK=0$ zapisuje do „Master“ R-S KO a následně se při $CLK=1$ přepisuje do R-S KO „Slave“
 - Symbol $\lceil$ - KO je spouštěn kladným hodinovým pulsem CLK

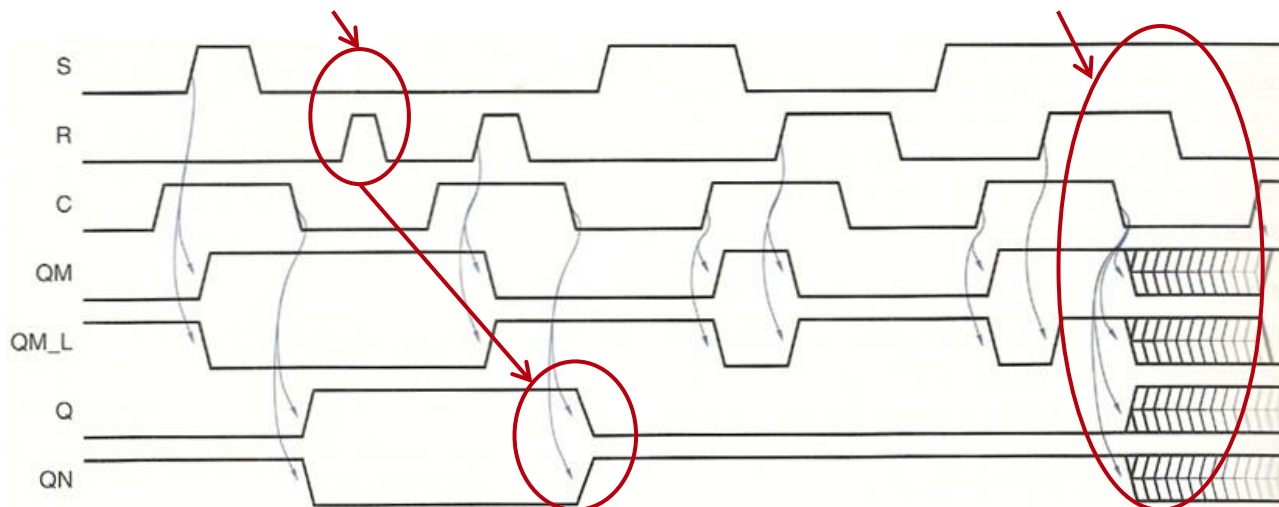


„Nedovolená kombinace“ $R=S=C=1$ zde nevadí ($R \neq S$ před ukončením aktivního $CLK=0$)

- Spouštěný záporným pulsem
 - Master je povolen při $C=1$ a nastavuje se na základě hodnot na excitačních vstupech R a S
 - Po změně $C=1 \rightarrow 0$ se Slave nastaví na hodnotu Q_M , na kterou byl naposledy nastaven Master



- Pokud jsou oba excitační vstupy aktivní $R=S=1$ a C se deaktivuje ($1 \rightarrow 0$), může KO přejít do metastabilního stavu



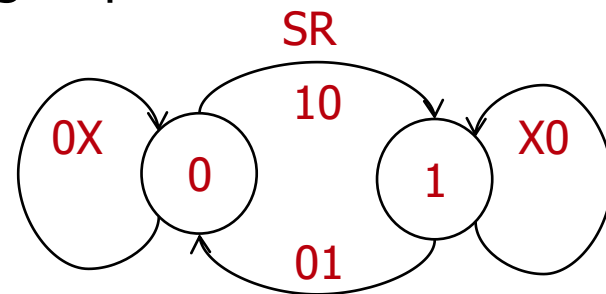
Excitační tabulka

CLK	S	R	Q	Q _{i+1}	Činnost
0	X	X	0	0	Pamatuj (Hold)
0	X	X	1	1	
┘	0	0	0	0	
┘	0	0	1	1	
┘	0	1	0	0	Nuluj (Reset)
┘	0	1	1	0	
┘	1	0	0	1	Nastav (Set)
┘	1	0	1	1	
┘	1	1	0	U	Nedovolená kombinace
┘	1	1	1	U	

Symbolem ┘ označujeme, že obvod pracuje na základě pulzu (zde kladného $0 \rightarrow 1 \rightarrow 0$) přivedeného na vstup CLK.
 Pokud tuto skutečnost víme, nemusíme sloupec CLK uvádět.

- Obvod pracuje, jen pokud je CLK aktivní, jinak si pamatuje předchozí stav
 - Důsledkem je zjednodušení návrhu složitých sekvenčních obvodů
- Při popisu chování můžeme abstrahovat od přítomnosti CLK
 - Víme, že obvod pracuje na základě pulsu na vstupu CLK
 - Charakteristická rovnice je pak stejná jako u R-S KO hladinového
 - Stejně těž graf přechodů

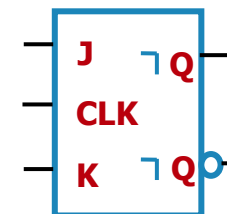
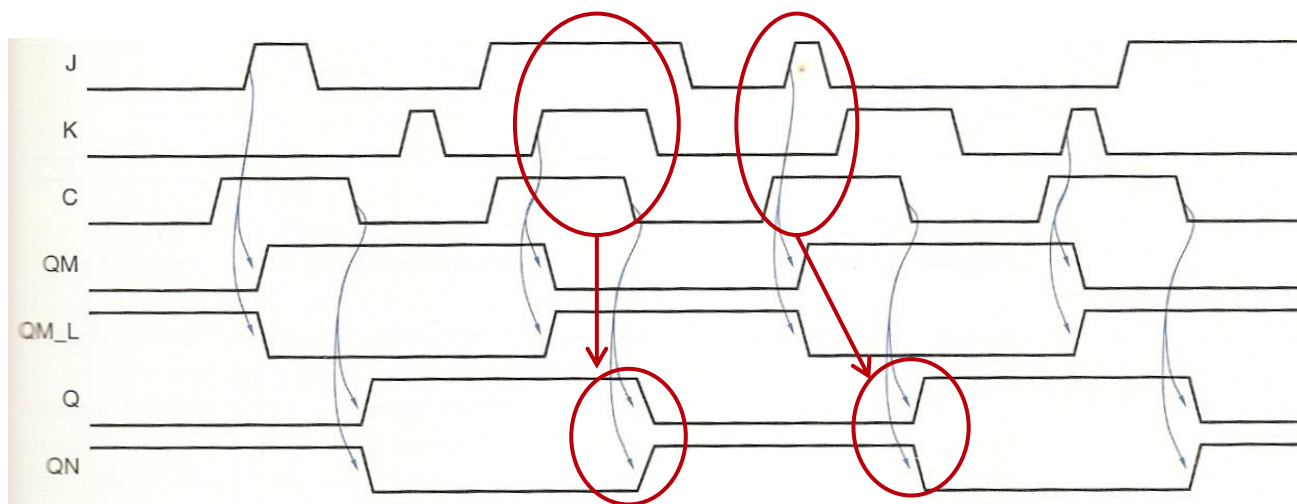
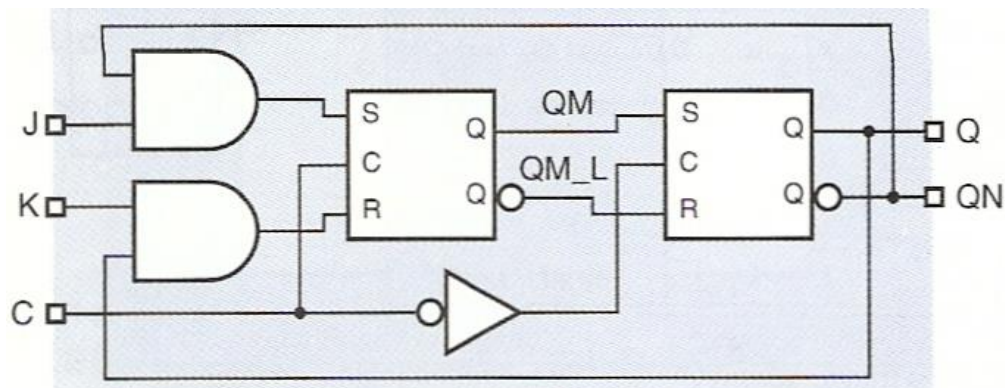
$$Q_{i+1} = S + \bar{R} \cdot Q$$



- Spouštěný záporným pulsem
 - Master je povolen při $C=1$ a nastavuje se na základě hodnot na excitačních vstupech J a K
 - Po změně $C=1 \rightarrow 0$ se Slave nastaví na hodnotu Q_M , na kterou byl naposledy nastaven Master

Příklad

- Realizace z R-S KO s povolovacím vstupem



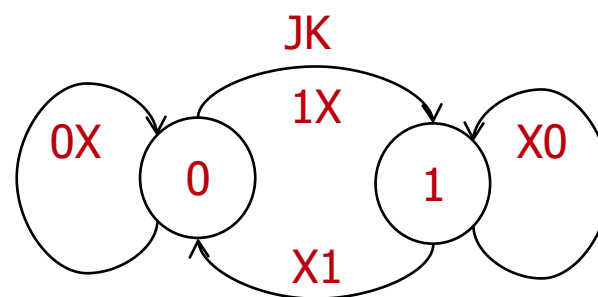
- Master-Slave J-K Flip-Flop
 - JK=00 – Pamatuj (Hold)
 - JK=01 – Nuluj (Reset)
 - JK=10 – Nastav (Set)
 - JK=11 – Překlápěj (Toggle)

Excitační tabulka - úplná

C	J	K	Q	Q _{i+1}	Činnost
0	X	X	0	0	Pamatuj (Hold)
0	X	X	1	1	
↓	0	0	0	0	
↓	0	0	1	1	
↓	0	1	0	0	Reset
↓	0	1	1	0	
↓	1	0	0	1	Set
↓	1	0	1	1	
↓	1	1	0	1	Překlop (Toggle)
↓	1	1	1	0	

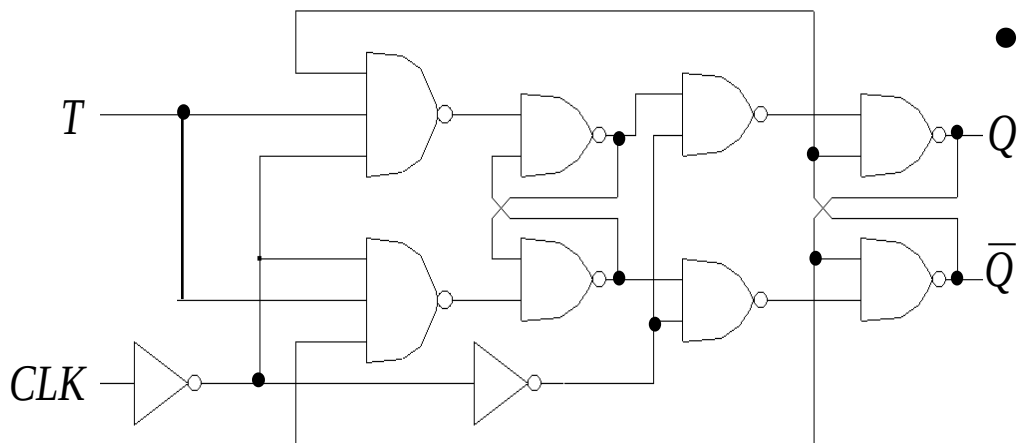
J	K	Q _{i+1}
0	0	Q _t
0	1	0
1	0	1
1	1	not(Q _t)

- Graf přechodů
 - Neuvádíme hodnoty na vstupu C – KO přechází mezi stavy na základě pulsu



- Excitační tabulka – kompaktní
 - Popisuje činnost v úsporné formě
 - Předpokládá se, že víme, jakou strukturu KO máme - buzený kladným / záporným pulsem, z jakých KO je sestaven atd.

- Master-Slave T Flip-Flop
 - Vznikne z J-K KO spojením vstupů $J=K$
- Příklad
 - T KO z R-S KO NAND s povolovacím vstupem sestavených do dvoufázové struktury
 - Citlivý na kladný puls



- Excitační tabulka – úplná

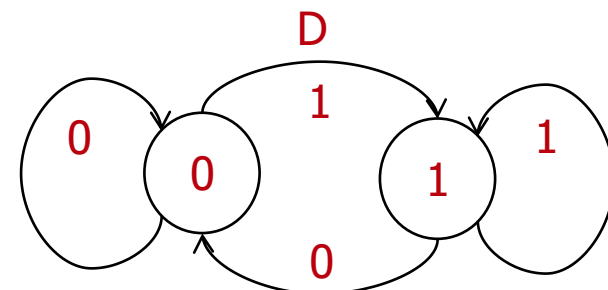
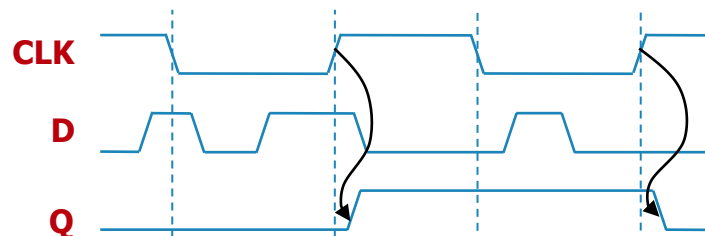
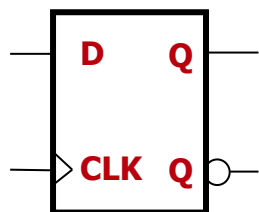
CLK	T	Q	Q_{i+1}	Činnost
0	X	0	0	Pamatuj (Hold)
0	X	1	1	
┘	0	0	0	
┘	0	1	1	
┘	1	0	1	Překlop (Toggle)
┘	1	1	0	

- Excitační tabulka – kompaktní

T	Q_i	Q_{i+1}
0	0	0
0	1	1
1	0	1
1	1	0

- Edge-Triggerred D Flip-Flop
 - Obvod je citlivý na aktivní hranu (změnu) hodinového signálu (zde kladnou)
- Symbol „>“ značí, že hodinový signál je aktivní jen v době kladné hrany
 - Přechod z log. nuly do log. jedničky - derivace

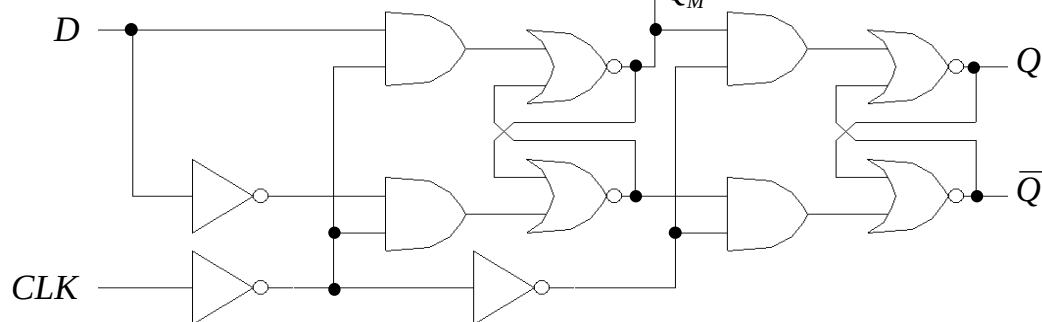
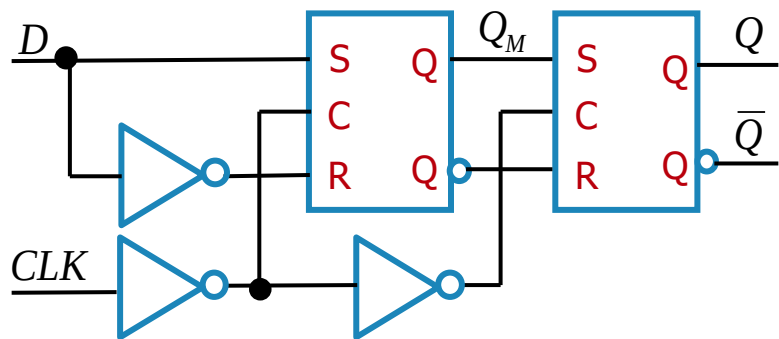
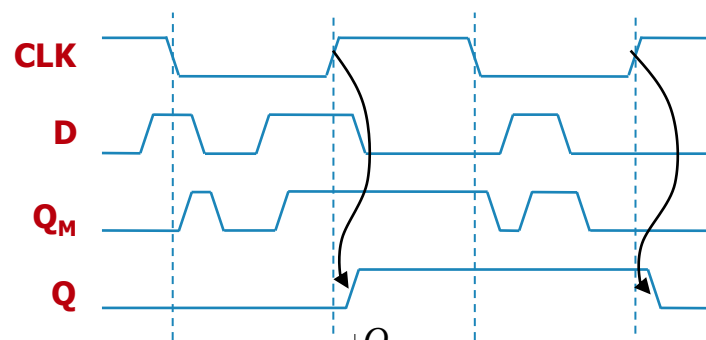
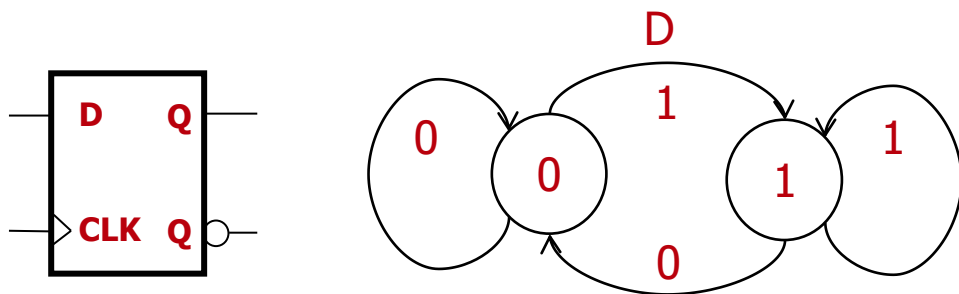
CLK	D	Q	Q_{i+1}	Činnost
0	X	0	0	Pamatuj (Hold)
0	X	0	1	
↑	0	0	0	Ulož 0 (Store 0)
↑	0	1	0	
↑	1	0	1	Ulož 1 (Store 1)
↑	1	1	1	



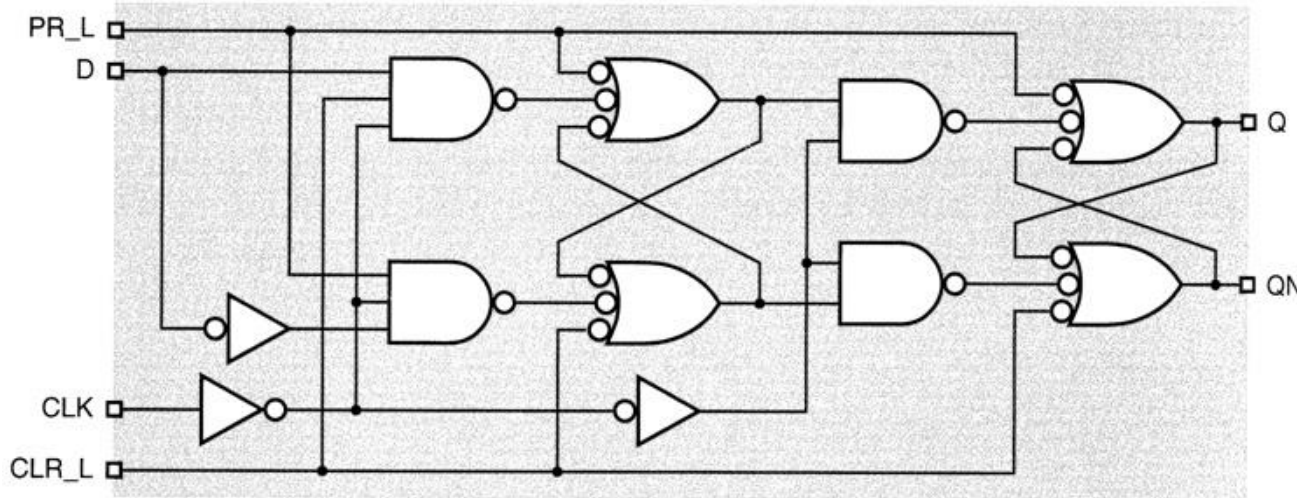
• Příklad realizace

- Citlivý na kladnou hranu hodin
- Sestaven z Master KO typu D a Slave KO typu R-S
- Master KO kopíruje D na Q_M při $C=0$
- Slave KO kopíruje z Q_M na Q při $C=1$

CLK	D	Q	Q_{i+1}	Činnost
0	X	0	0	Pamatuj (Hold)
0	X	1	1	
┘	0	0	0	Ulož 0 (Store 0)
┘	0	1	0	
┘	1	0	1	Ulož 1 (Store 1)
┘	1	1	1	

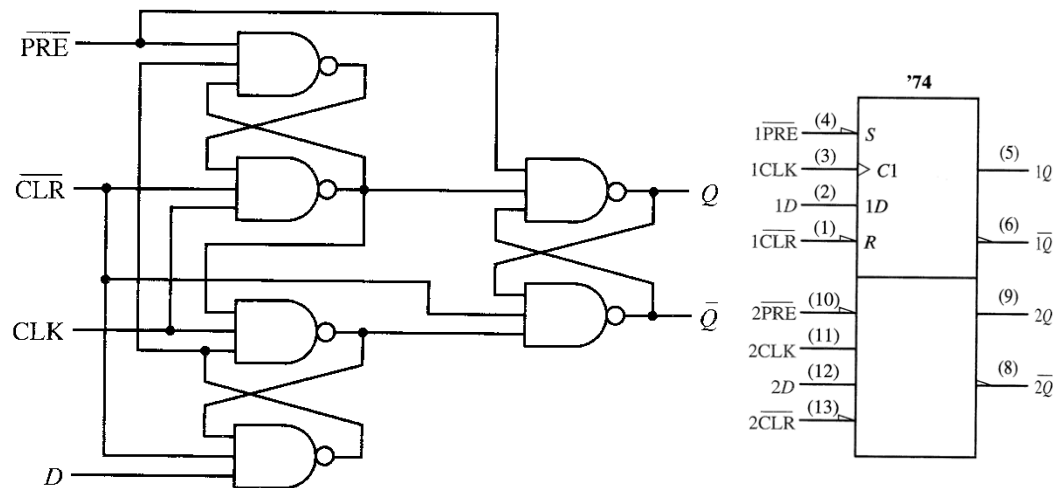


- Příklad realizace pomocí log. členů NAND
 - KO je doplněn o asynchronní vstupy (nejsou závislé na hodinovém vstupu) pro nastavení (PR- preset) a nulování (CLR - clear) aktivními v nule
 - Sestaven z R-S KO NAND s povolovacími vstupy propojenými do dvoufázové struktury



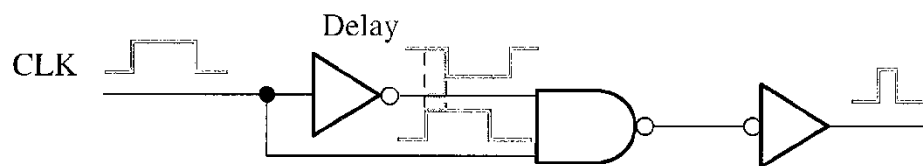
- Poznámka
 - V případě D KO je chování dvoufázového z hlediska výstupů stejné jako u derivačního (na základě aktivní hrany na CLK si zapamatuje hodnotu vstupu D)

- Příklad: standardní IO 747
 - Signál PRE (preset)
 - Asynchronní nastavovací vstup aktivní v nule
 - Má vyšší prioritu než hodinový signál – pokud je aktivní, tak je obvod nastaven ($Q=1$)
 - CLR (clear)
 - Asynchronní resetovací vstup aktivní v nule
 - Má vyšší prioritu než hodinový signál – pokud je aktivní, tak je obvod resetován ($Q=0$)

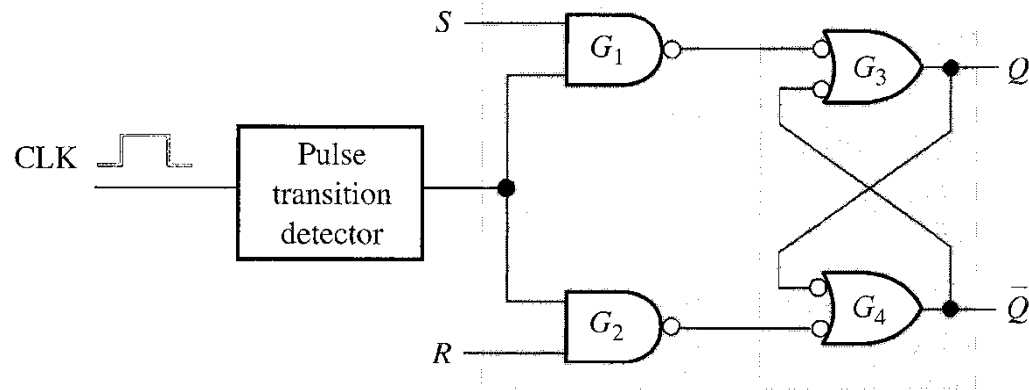


Inputs				Outputs		Mode
$\overline{PRE}$	$\overline{CLR}$	D	CLK	Q	$\overline{Q}$	
L	H	x	x	H	L	Set
H	L	x	x	L	H	Clear
L	L	x	x	H	H	Not allowed
H	H	H	$\uparrow$	H	L	Clocked operation
H	H	L	$\uparrow$	L	H	Clocked operation
H	H	x	L	Q_0	$\overline{Q}_0$	Hold

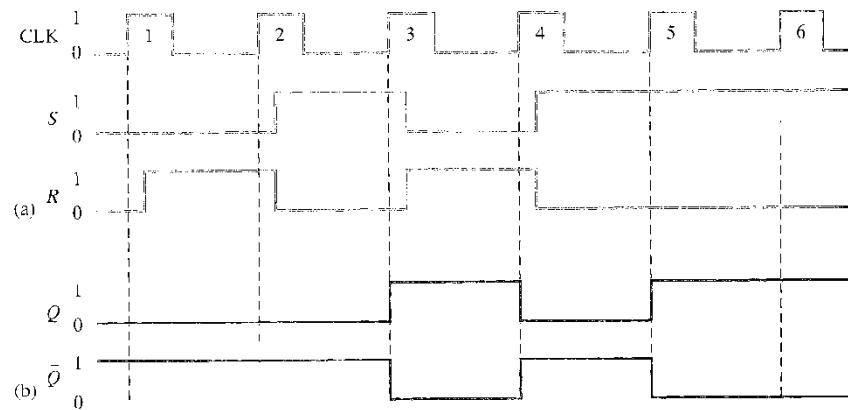
- Edge-Triggered R-S Flip-Flop
- Principiální realizace detekce hrany hodinového signálu
 - Úmyslné generování log. hazardu pomocí nestejné délky logické větve – zpoždění invertoru > zpoždění vodiče
 - Výstupní puls (glitch) je velmi krátký (derivace) a může tedy povolovat činnost KO s povolovacím vstupem po krátkou dobu
 - Derivační obvod lze vytvořit pro detekci (kladný glitch) kladné hrany (hazard v log. 0 - hradlo AND) či záporné hrany (hazard v log. 1 – hradlo NOR)



- Principiální schéma R-S KO derivačního
 - Sestaven pomocí R-S KO s povolovacím vstupem a derivačního obvodu

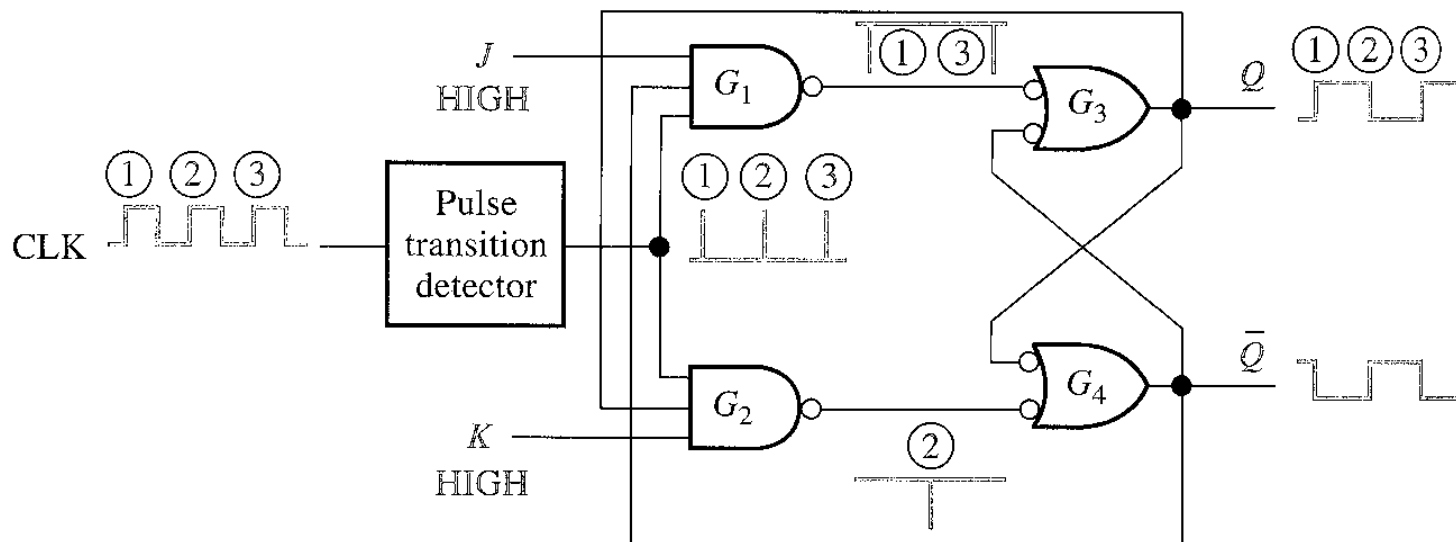


- Reaguje jen na hranu hodinového signálu
 - Hrana – přechod z 0 do 1 (pozitivní, vzestupná, náběžná, $>$, $\uparrow$), anebo z 1 do 0 (negativní, sestupná, doběžná, $<$, $\downarrow$)
- Zjednodušení návrhu
 - Stačí mít excitační vstupy platné jen v definovaném okolí hrany $\Rightarrow$ výrazné usnadnění syntézy synchronních sekvenčních obvodů
 - KO vzorkuje vstupní hodnoty, na základě kterých generuje výstupy pouze v okamžiku aktivní hrany

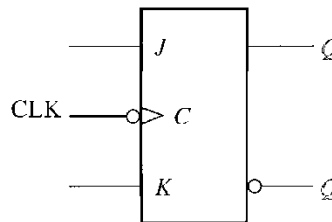
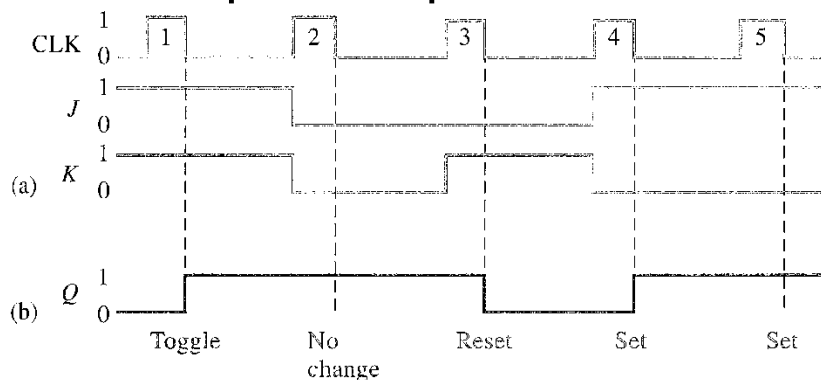


CLK	R	S	Q	Q _{i+1}	Činnost
0	X	X	0	0	Pamatuj (Hold)
0	X	X	1		
$\uparrow$	0	0	0	0	
$\uparrow$	0	0	1	1	
$\uparrow$	0	1	0	1	Nastav (Set)
$\uparrow$	0	1	1	1	
$\uparrow$	1	0	0	0	Nuluj (Reset)
$\uparrow$	1	0	1	0	
$\uparrow$	1	1	0	U	Nedovolená kombinace
$\uparrow$	1	1	1	U	

- Edge-Triggerred J-K Flip-Flop
 - Principiální schéma s využitím J-K KO s povolovacím vstupem sestavený z log. členů NAND
 - Derivační obvod povoluje J-K KO po velmi krátkou dobu
- Demonstrace funkce
 - Překlápěj (Toggle) $J=K=1$
 - Obvod dělí frekvenci hodinového signálu CLK dvěma – často používaná funkce



- Časový diagram
 - Verze s hodinovým signálem CLK aktivním při sestupné hraně

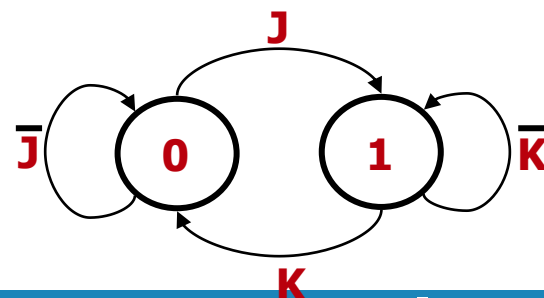


- Excitační tabulka – kompaktní
- Graf přechodů

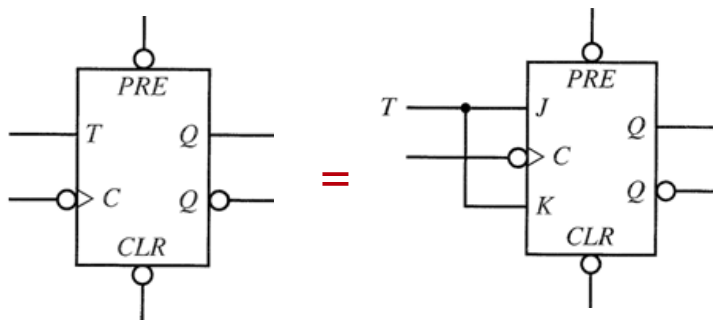
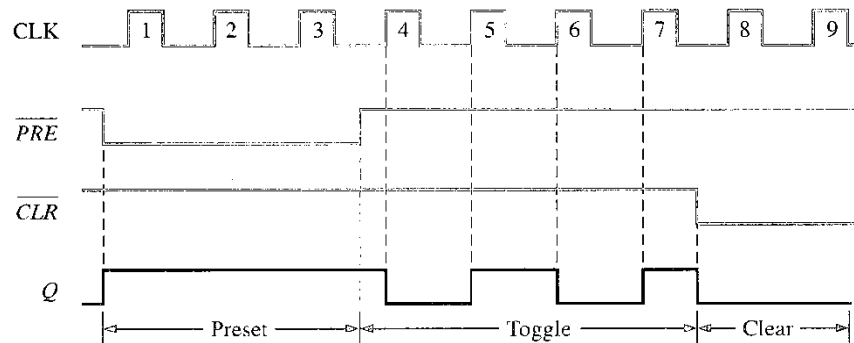
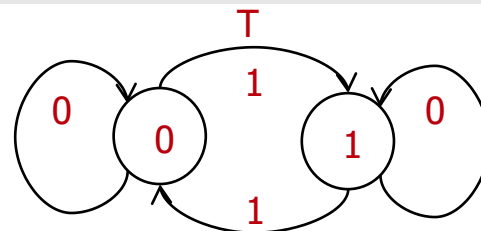
J	K	Q_{i+1}
0	0	Q_i
0	1	0
1	0	1
1	1	not(Q_i)

- Excitační tabulka - úplná

C	J	K	Q	Q_{i+1}	Činnost
0	X	X	0	0	Pamatuj (Hold)
0	X	X	1	1	
↓	0	0	0	0	
↓	0	0	1	1	
↓	0	1	0	0	Reset
↓	0	1	1	0	
↓	1	0	0	1	Set
↓	1	0	1	1	
↓	1	1	0	1	Překlop (Toggle)
↓	1	1	1	0	

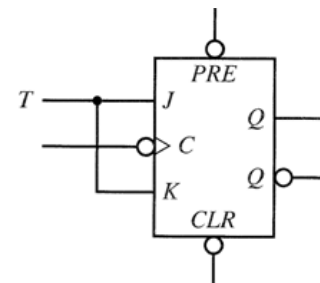
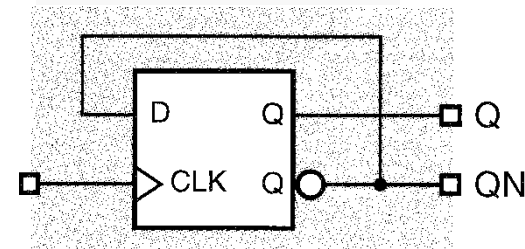
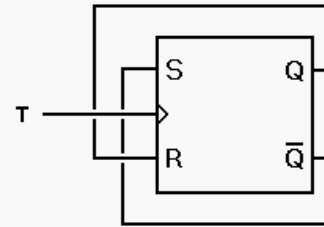
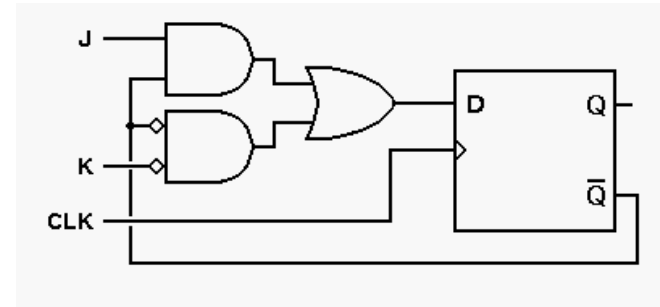


- Edge-Triggerred T Flip-Flop
 - Příklad realizace s asynchronními vstupy PRE a CLR aktivními v nule
 - Sestupná hrana hodin CLK (C) je aktivní
- Konstrukce
 - Nejčastěji s využitím jiných KO
 - Např. J-K KO ve funkci Překlápěj (Toggle), kdy $T=J=K$

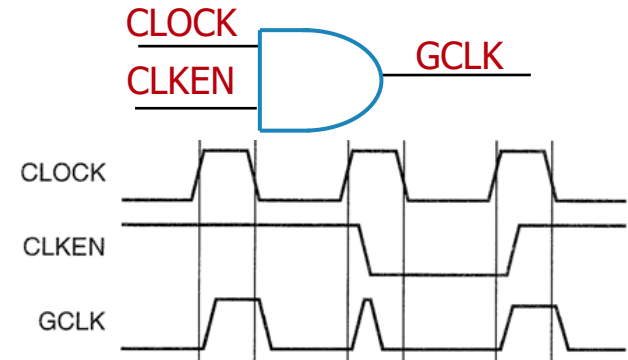


CLK	T	Q	Q_{i+1}	Činnost
0	X	0	0	Pamatuj (Hold)
0	X	1	1	
↑	0	0	0	
↑	0	1	1	
↑	1	0	1	Překlápěj (Toggle)
↑	1	1	0	

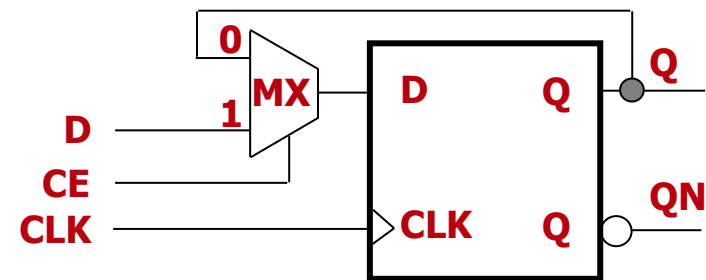
- J-K KO derivační pomocí
 - D KO derivačního ($D = JQ' + K'Q$)
- T KO derivační pomocí
 - R-S KO derivačního
 - D KO derivačního ($T=1$)
 - J-K derivačního s asynchronními vstupy Preset a Clear



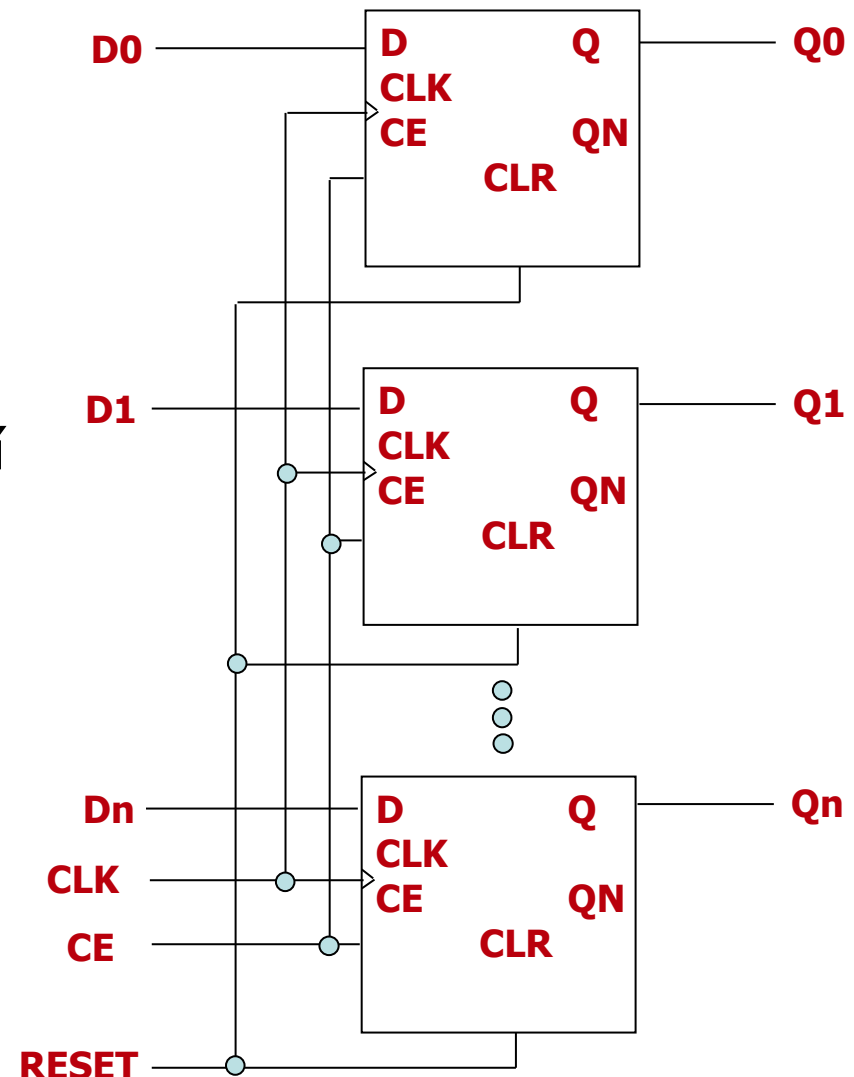
- Clock Enable - CE
- Řízení toku hodinového signálu CLK tzv. „hradlováním“
 - Vnáší zpoždění do cesty hodinového signálu, který pak nemusí mít správné parametry
 - Používá se pro zastavení činnosti celých subsystémů s ohledem na snižování příkonu (CMOS technologie odebírá proud především při přechodech mezi úrovněmi, viz dále)
- Speciální vstup CE
 - Výhodné řešení pro stavbu synchronních sekvenčních obvodů
 - CLK je rozveden na všechny KO, jejichž činnost se řídí (povoluje) pomocí CE



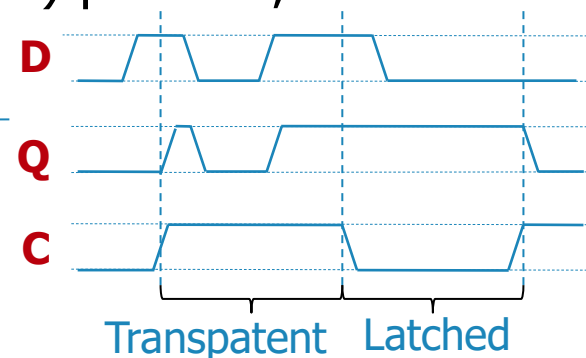
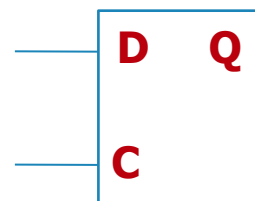
CE	CLK	D	Q	Q_{i+1}	Činnost
0	↑	X	0	0	Pamatuj (Hold)
0	↑	X	0	1	
1	↑	0	0	0	Ulož 0 (Store 0)
1	↑	0	1	0	
1	↑	1	0	1	Ulož 1 (Store 1)
1	↑	1	1	1	



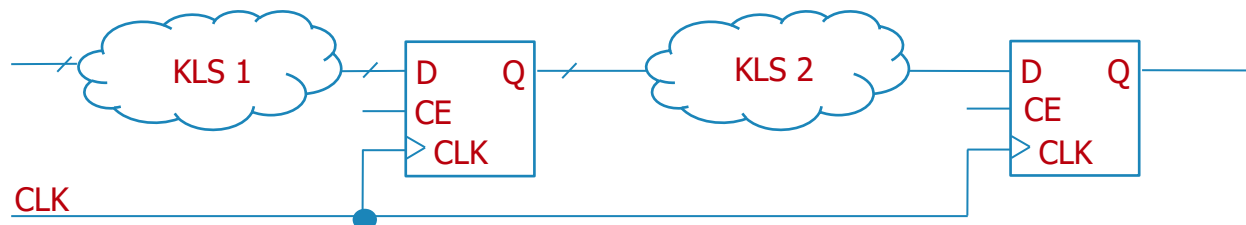
- V řadě případů je výhodné sdružovat KO do skupin
 - KO mají společné řídicí vstupy
- Příklad n-bitového D registru
 - Synchronizační hodinový signál (CLK)
 - Asynchronní vstupy pro nastavení (PRE) či nulování (CLR)
 - Povolení činnosti hodin (CE)
 - Nezávislé vstupy ($D_0..D_n$)
 - Nezávislé výstupy ($Q_0..Q_n$)
- Použití
 - Při konstrukci automatů na místě paměti kódu vnitřního stavu
 - Paměť operandů ALU atd.



- Hladinový (Latch)
 - Vstupní budicí (excitační) signály přímo ovlivňují (řídí) stav KO
 - R-S KO (NOR, NAND)
 - Latched data – blokování, pamatování dat
- S povolovacím vstupem (Gated Latch)
 - Excitační signály nastavují stav KO, jen pokud je povolovací (control, enable) vstup aktivní
 - Gated Latch – název pro KO R-S, J-K a T
 - Transparent Latch, D Latch, Delay Latch - názvy pro KO D
 - Transparentní mód - data jsou přenášena skrz latch po dobu, ve které je povolovací vstup aktivní
 - Latch mód - data jsou pamatována (blokována) po dobu, ve které je povolovací vstup neaktivní
- Příklad - Transparent D Latch
 - Transpatent: $C=1$
 - Latch: $C=0$



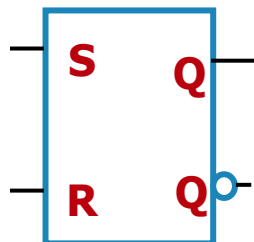
- Latch
 - Mění výstupy na základě hodnot na excitačních vstupech při aktivním povolovacím vstupu
 - Používají se pro zachycení hodnot na vstupech obvodů (pro paměťové dekodéry apod.), jako paměťové prvky v asynchronních sekvenčních obvodech a jako stavební prvky pro stavbu flip-flopů
- Flip-flop
 - Mění výstupy na základě hodnot vstupů, které jsou vzorkovány hodinovým signálem (pulem či hranou)
 - Jsou výhodné pro uchování operandů a stavbu synchronních systémů, ve kterých izolují části kombinačních logických sítí (KLS) od sebe - výstup KLS1 se vzorkuje po odeznění přechodových dějů
 - Tok informace synchronním systémem se ovládá z řadiče pomocí signálů CE jednotlivých KO



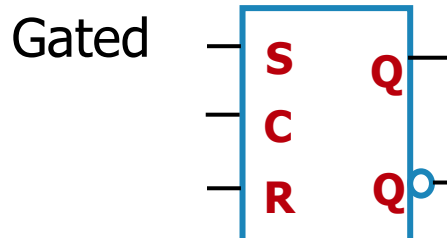
- Chování jednotlivých typů Flip-Flop KO se liší nejen podle hodnot na excitačních vstupech, ale též s ohledem na hodinový signál
- R-S a J-K KO dvoufázové (Master-Slave Flip-Flop)
 - Pokud je Master povolen, tak se jeho výstupy nastaví na základě hodnot na excitačních vstupech
 - Pokud je povolen Slave, tak se jeho výstupy nastaví na hodnotu, na kterou byl naposledy nastaven Master (Q_M), ne excitační vstupy KO - výstup KO tedy nezávisí na posledních hodnotách na excitačních vstupech v době povoleného Mastera, ale na stavu Mastera
- D KO dvoufázový = derivační (Edge-Triggered Flip-Flop)
 - Výstup KO závisí na posledních hodnotách excitačních vstupů v době platné hrany hodin
 - Je dáno tím, že použité D KO s povolovacím vstupem jsou po dobu aktivní úrovně hodin transparentní – přenáší excitační vstup D přes Master KO na vstup D Slave KO
 - Vzhledem k jeho výhodné funkci a jednoduchosti se v současnosti používá pro konstrukci logických systémů téměř výhradně

- Značení
 - Pro upřesnění funkce KO (s ohledem na jeho konstrukci) se pro označení hodinového signálu používají různé symboly
 - Derivační KO: >...kladná hrana a <...záporná hrana
 - Dvoufázový KO: J...kladný puls a 1...záporný puls

• Hladinový

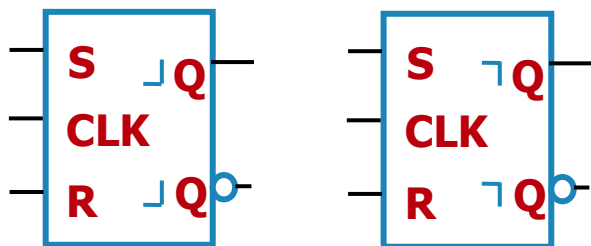


S povolovacím vstupem



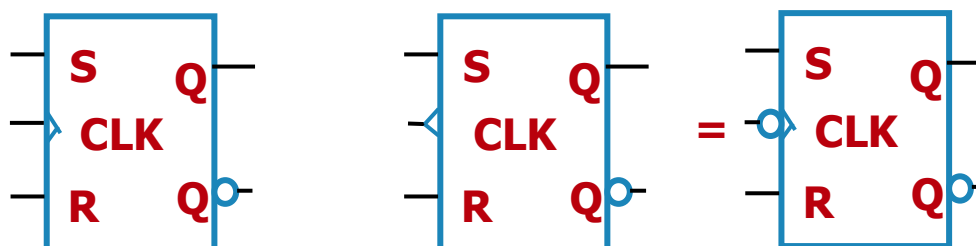
• Dvoufázový

Master-Slave Flip-Flop



Derivační

Edge-Trigered Flip-Flop



- Tabulka přechodů (příklad pro R-S KO)
 - Obecný nástroj pro definici a analýzu chování konečných automatů implementovaných jako sekvenční obvody
- Slovník přechodů (příklad pro R-S KO)
 - Pro použití klopných obvodů při návrhu
 - Pro požadovaný přechod ze současného do následujícího stavu, určuje potřebné hodnoty excitačních vstupů KO
- Excitační tabulka (příklad pro R-S KO)
 - Pro návrh (syntézu) sekvenčních obvodů z klopných obvodů
 - Na základě tabulky přechodů a slovníku přechodů příslušného KO definuje přechodovou a výstupní funkci konečného automatu

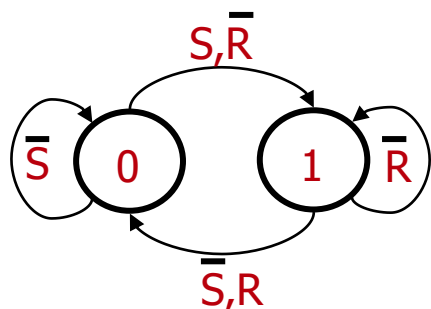
$Q_i \backslash Q_{i+1}$	SR			
	00	01	10	11
0	0	0	1	U
1	1	0	1	U

Q_i	Q_{i+1}	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

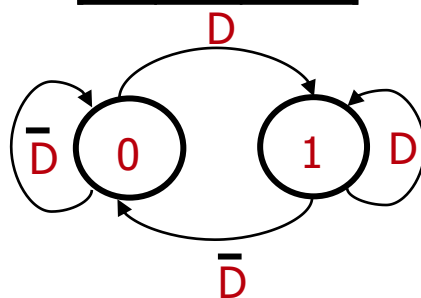
S	R	Q	Q_{i+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	U
1	1	1	U

- Pro všechny konstrukce KO (hladinový, s povolovacím vstupem, dvoufázový a derivační) lze jejich chování popsat stejnou excitační tabulkou i grafem přechodů
- Předpokládáme, že přechod nastane v době, ve které jsou aktivní povolovací či hodinové signály (control, clock – hladina, puls či hrana)

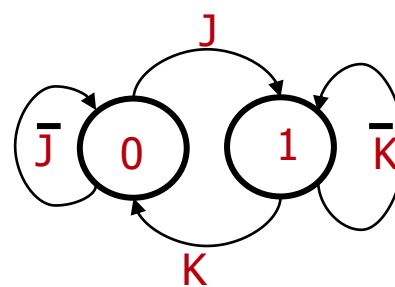
S	R	Q_i	Q_{i+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	U
1	1	1	U



D	Q_i	Q_{i+1}
0	0	0
0	1	0
1	0	1
1	1	1



J	K	Q_{i+1}
0	0	Q_t
0	1	0
1	0	1
1	1	not(Q_t)



T	Q_i	Q_{i+1}
0	0	0
0	1	1
1	0	1
1	1	0

