

Hardwarová akcelerace algoritmů

Jan Kořenek, Jiří Matoušek

Brno University of Technology, Faculty of Information Technology
Božetěchova 1/2, 612 66 Brno - Královo Pole
korenek@fit.vut.cz, imatousek@fit.vut.cz



1. Použitý algoritmus

2. Procesorem (výpočetním prvkem)

- Technologie výroby
- Architektura
- Počet jader
- ...



- Jaké operace potřebujeme zpracovávat rychle?
- Kterou část procesoru bychom měli zrychlit?

Algoritmus

- Hledání řetězců
- Šifrování dat
- Filtrace obrazu
- ...

Implementace pomocí programu



```
void main() {  
    ...  
    return 0;  
}
```

- Řízení programem
- Sekvenční zpracování programu na jednom nebo více procesorových jádrech

Implementace pomocí HW architektury



- Chování dáno zapojením obvodových prvků, které pracují paralelně
- Základní obvodové prvky se liší podle použité technologie – ASIC, FPGA, ...

Příklad: Násobení matice rozměru ($m \times n$) konstantou



Implementace pomocí
SW algoritmu

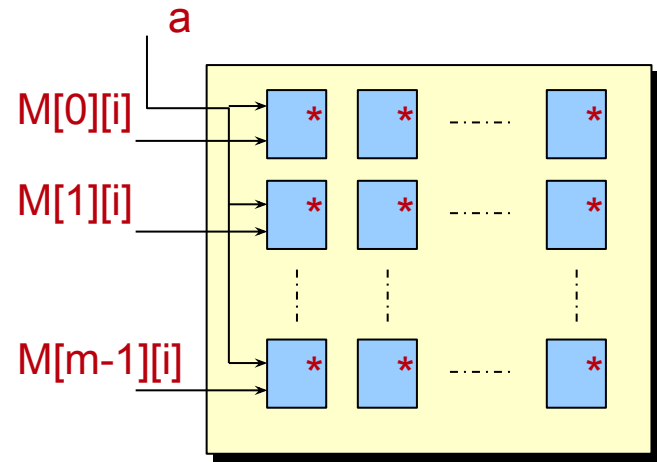
```
for(i=0; i<m; i++)
    for(j=0; j<n; j++){
        D[i][j] = a* D[i][j];
    }
```

- Procesorové jádro obsahuje ALU s **jednou násobičkou**. V jednom kroku je provedeno jenom jedno vynásobení.
- Celý výpočet bude hotov v **$m \cdot n$ krocích**

Kolik procent plochy procesoru je využito při výpočtu?



Implementace pomocí
hardwarové architektury



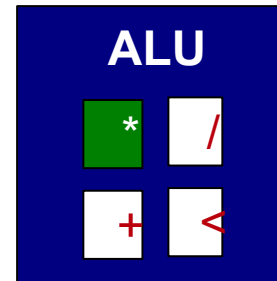
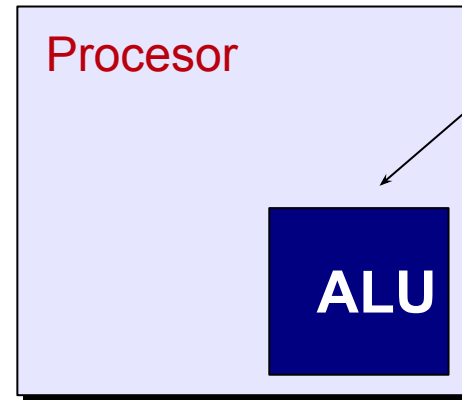
- Na čipu může být umístěno a vzájemně propojeno **více násobiček pracujících paralelně**.
- Pro **m násobiček** bude celý výpočet hotov v **n krocích** a pro **$m \cdot n$ násobiček** v **1 kroku**

Příklad: Násobení matice konstantou

Implementace pomocí SW algoritmu

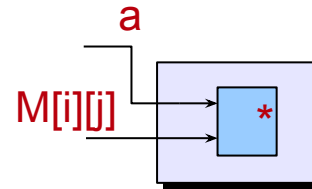
```
for(i=0; i<m; i++)  
    for(j=0; j<n; j++){  
        D[i][j] = a* D[i][j];  
    }
```

- ALU s **jednou násobičkou**. V každém kroku je násoben jenom jeden prvek.



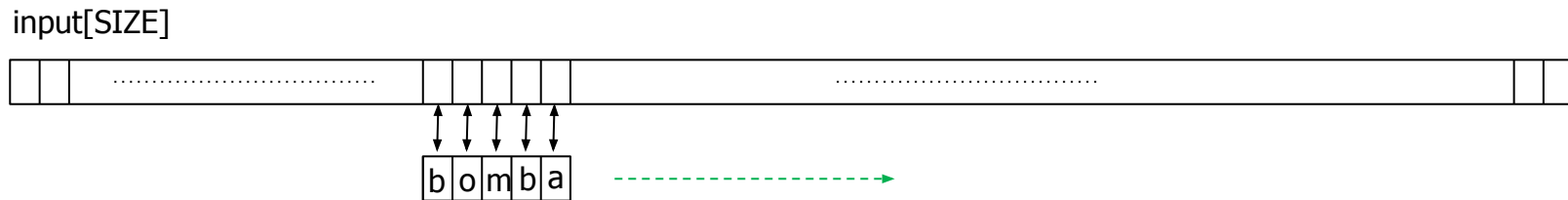
Implementace pomocí hardwarové architektury

- Menší plocha na čipu
- Menší spotřeba energie



Je možné urychlit i sekvenční úlohu?

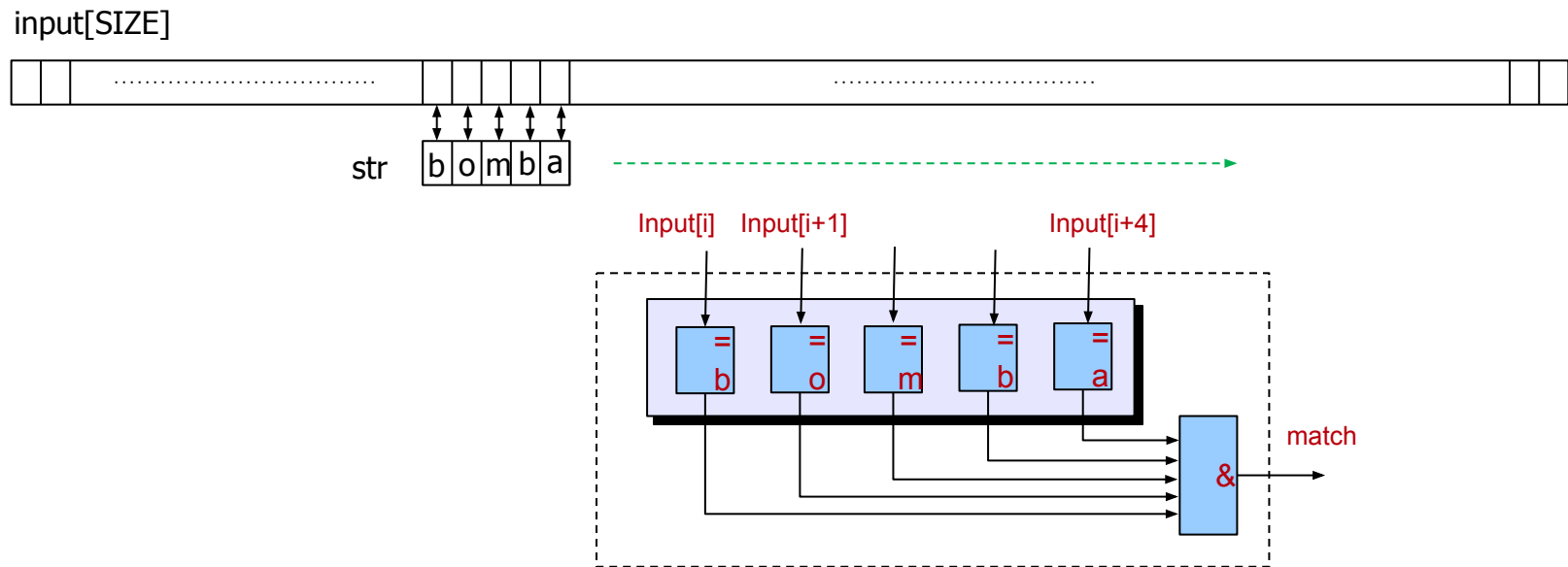
Příklad: Hledání řetězce **str** ve vstupní posloupnosti **input**



```
char input[SIZE];
char *str="bomba";
for(i=0; i<SIZE-strlen(str); i++){
    bool match = true;
    for(j=0; j<strlen(str); j++)
        match = match && input[i+j]==str[j];
    if (match) return 1;
}
return 0;
```

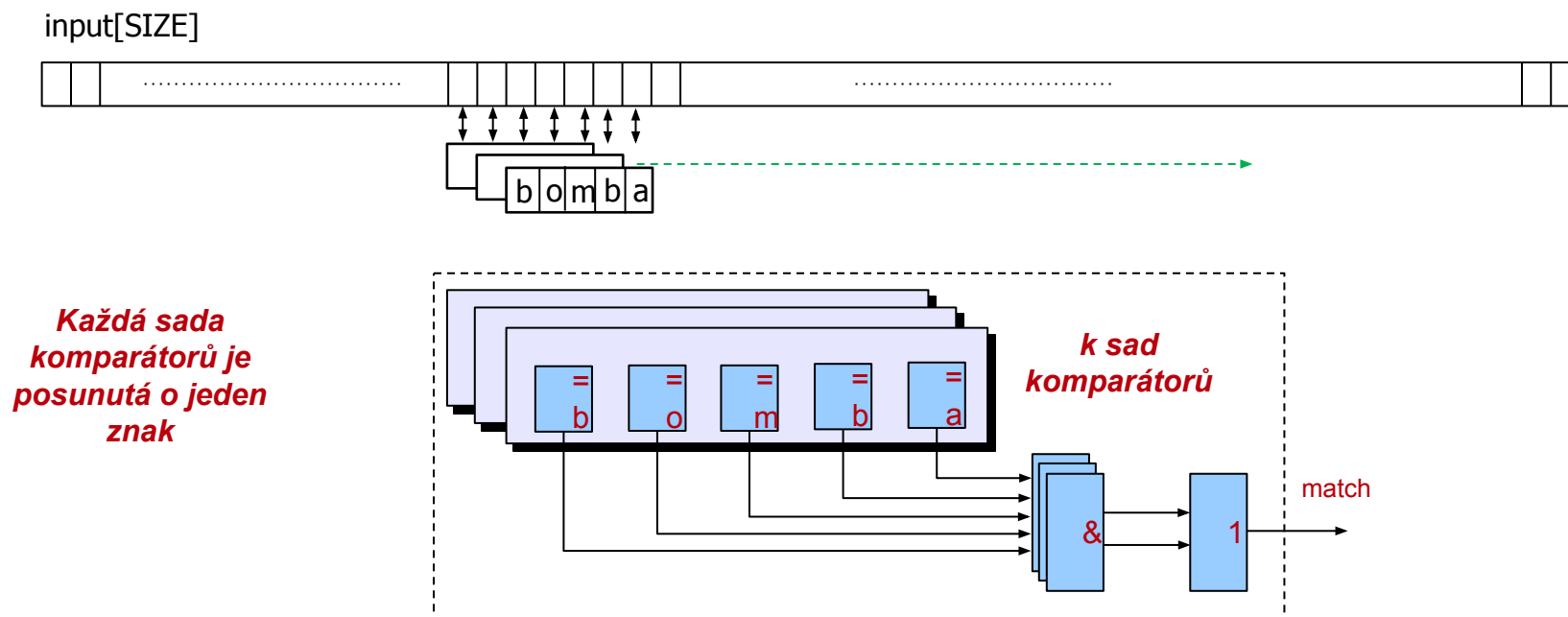
- Sekvenční zpracování vyžaduje kroků:
`SIZE*strlen(str)`
- Jakým způsobem je možné úlohu řešit paralelně?

- Je možné porovnat celý řetězec v jednom kroku
- Paralelně pět komparátorů pro porovnání řetězce



- Smyčka pro porovnání řetězce rozbalena na sadu komparátorů
- Počet kroků redukován na **SIZE**

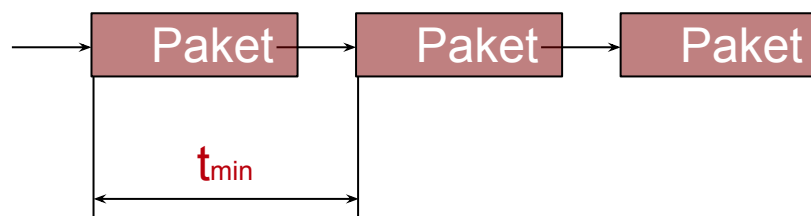
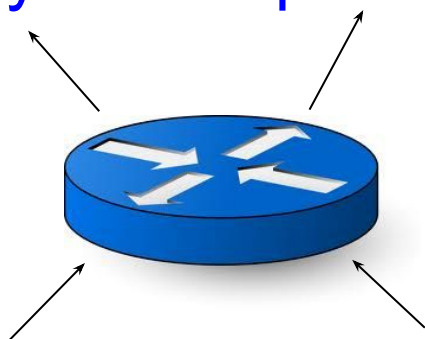
- Smyčka pro porovnání řetězce rozbalena na sadu komparátorů
- Je možné porovnat více (k) řetězců najednou



- Posunutí vstupního toku o k znaků, k -násobné zrychlení
- Počet kroků redukováno na $SIZE / k$

- Zpracování obrazu a videa v reálném čase
- Aplikace z oblasti bezpečnosti a šifrování dat
- Zařízení pro síťovou infrastrukturu
- Algoritmy umělé inteligence (hluboké neuronové sítě)
 - Digitalizace → větší objem dat → potřeba velkého výpočetního výkonu
- Vyhledávání v databázích, akcelerace úložiště, ...
- ...

• Rychlost zpracování dat na síti

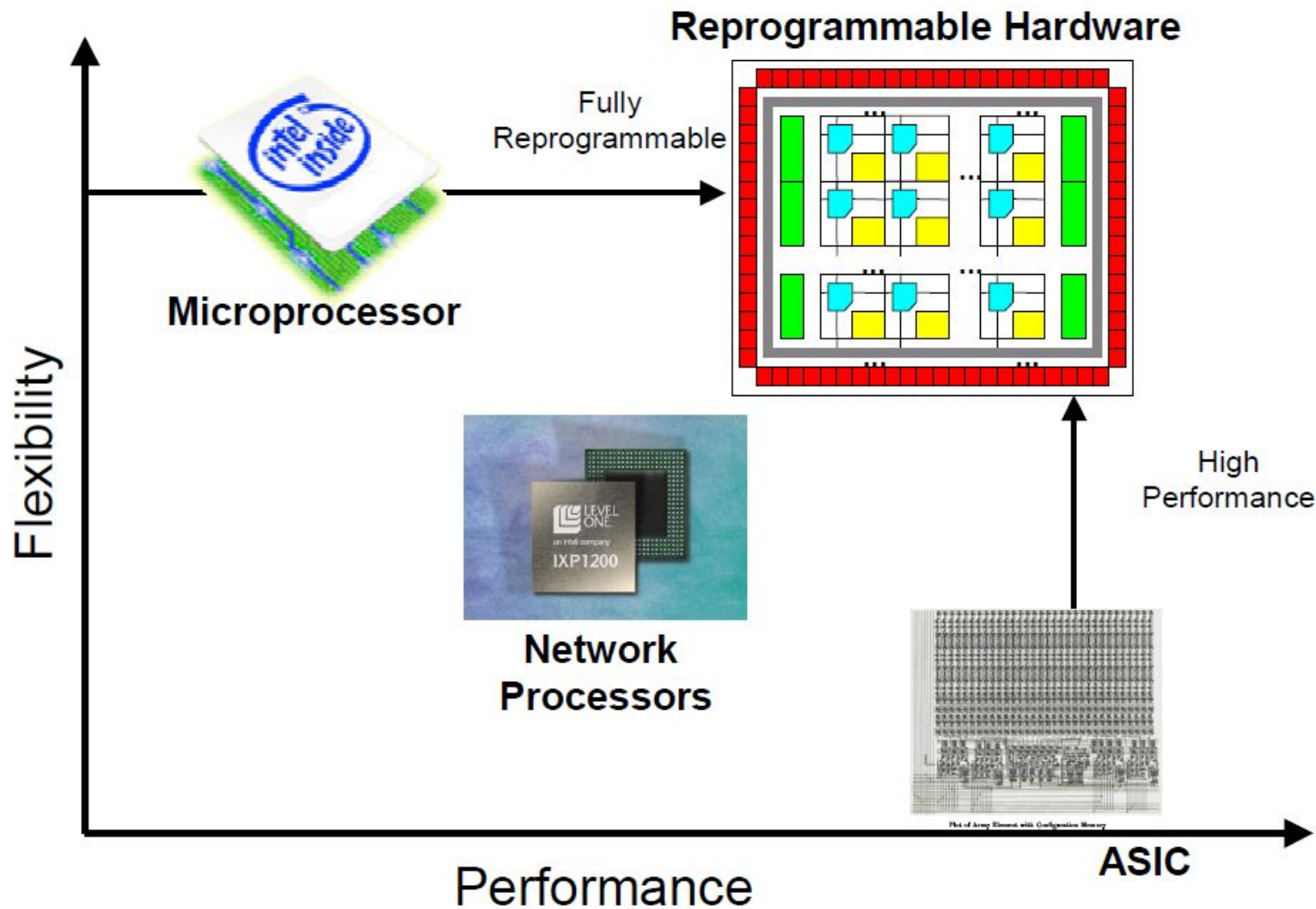


**Počet cyklů
procesoru
pro frekvenci
3,6 GHz**

40 Gb/s	12 ns	~	45 CPU clock cycles
100 Gb/s	5 ns	~	18 CPU clock cycles
400 Gb/s	1.25 ns	~	6 CPU clock cycles

• Časově kritické operace

- **Filtrace paketů** - jak z tisíců pravidel najít rychlé pravidlo, které odpovídá přijatému paketu?
- **Hledání signatur útoků** - Jak zajistit hledání tisíců řetězců v síťových tocích?
- **Stavové zpracování síťového provozu** - jak uchovat miliony záznamů o síťových tocích a zajistit vyhledání záznamu v konstantním čase?



John Lockwood, Stanford University

- **Akcelerace algoritmů pro vysokorychlostní sítě**
 - Výzkum a vývoj nových algoritmů, architektur a zařízení pro **monitorování a bezpečnost počítačových sítí**
 - Technologie hardwarové akcelerace pomocí **technologie FPGA**
 - Zpracování síťových dat na **rychlosti 100, 400 a 800 Gb/s**

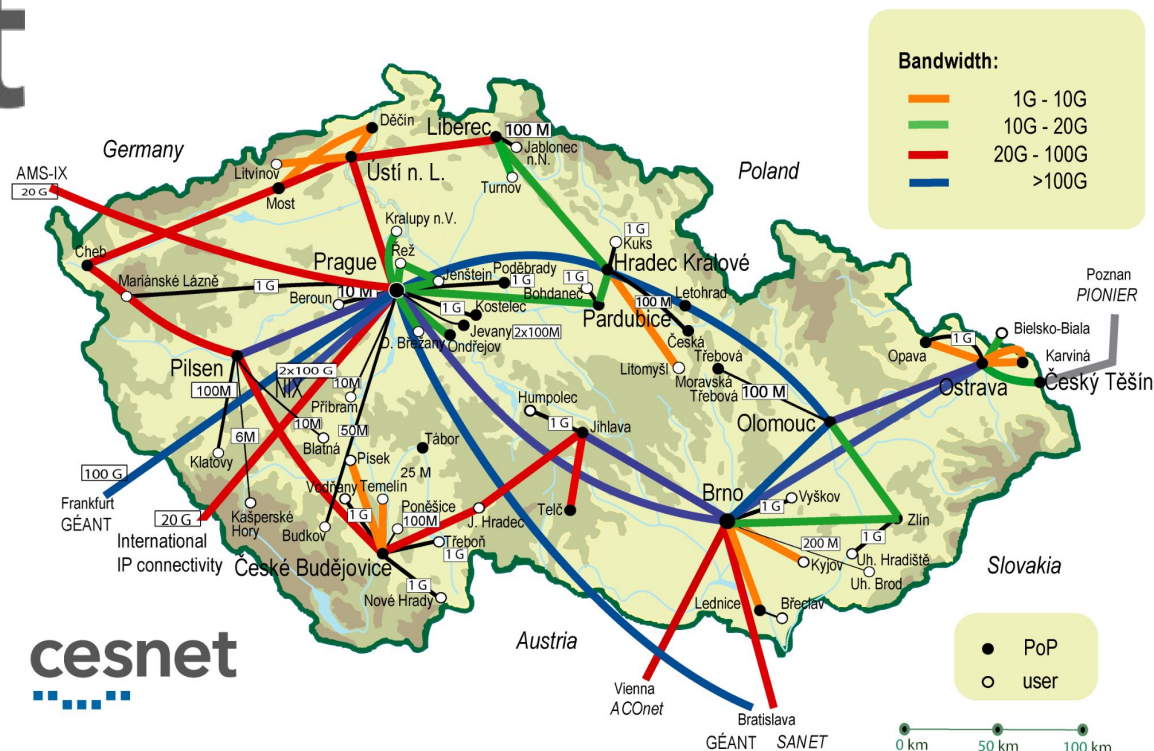


cesnet



Projekt Liberrouter

www.liberrouter.org



03 / 2021

- CESNET je poskytovatelem síťové infrastruktury pro akademické instituce v ČR (celková kapacita linek ~ 620 Gbps)
- Spolupráce v oblasti bezpečnosti a hardwarové akcelerace, projekty.

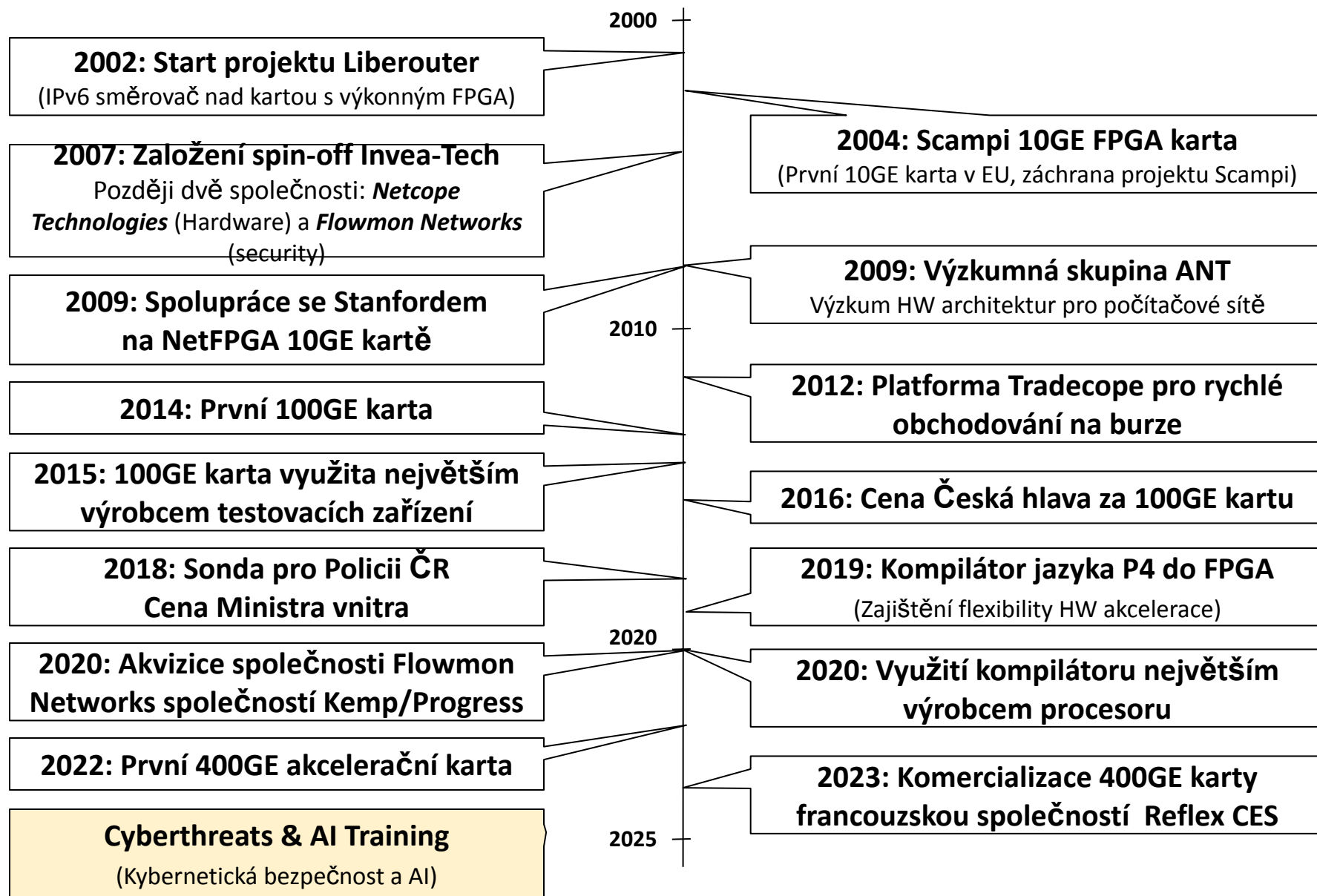
- Dlouhodobá spolupráce s univerzitami i předními technologickými společnostmi



UNIVERSITY
OF TWENTE.



- Komercializace technologií, zkládání spin-off firem
 - **Netcope Technologies** - prodej technologie největšímu výrobcí procesorů (2020)
 - **Flowmon Networks** - akvizice společností Kemp (2020)
 - **DYNANIC Semiconductors** - investice od Tensor Venturs (2024)



Hardwarová akcelerace pro 400 Gb síť (SmartNIC)

- Vývoj technologií pro zpracování 400Gb provozu (**multi buses**)
- Analýza síťových spojení na plné rychlosti síťových linek (**Connection Tracking Table**)
- DMA pro podporu akcelerace

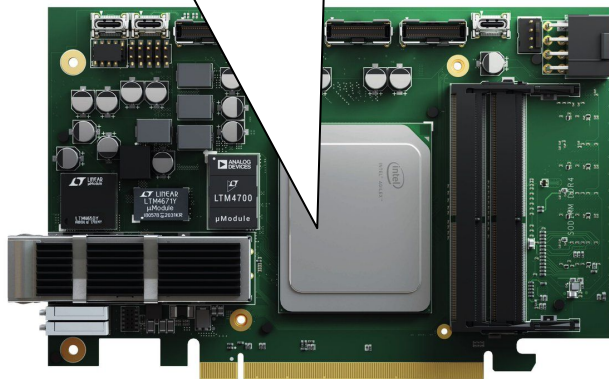
Analýza síťového provozu pomocí strojového učení

- Projekt Cyberthreats pro Ministerstvo obrany: využití umělé inteligence při obraně proti kybernetickým útokům

d



100 / 400GE
síťová rozhraní

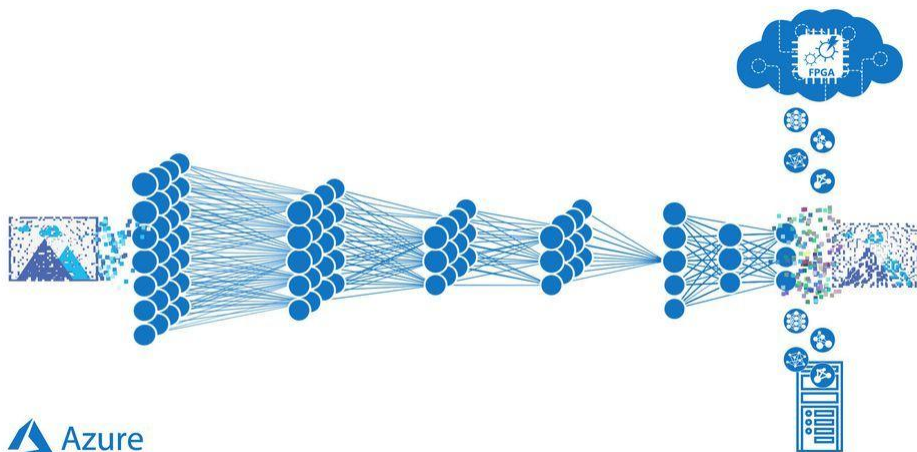


Akcelerační karta s FPGA

Ochrana proti DDoS útokům

- Nasazeno ve sdružení CESNET a na páteřních uzlech NIX a BRIX

- *Zajistit efektivní trénování a inferenci velkých AI modelů*
- Akcelerace pomocí FPGA v prostředí Microsoft cloud



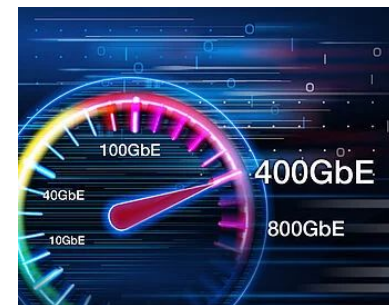
- Projekt StarGate od OpenAI: \$100B AI Supercomputer
 - superpočítač s miliony specializovaných čipů, který bude pohánět novou generaci umělé inteligence.
 - Předpokládaný start v roce 2028



- Velká data centra s GPU staví Meta, ale i další...

- ***Přechod na rychlost 800 Gb/s***

- Rozestup mezi dvěma pakty je $\sim 0.84\text{ns}$
- Parsing, Filtering, Connection tracking, DMA, ...



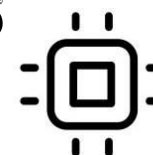
- ***RNIC (AI training, GPU booster)***

- Při trénování AI modelů klesá využití GPU až ke 30%
- Problém přenosu dat při aktualizaci parametrů mezi GPU
- Problém zvyšující se s počtem GPU uzlů, škálovatelnost

***Rychlost komunikace, nízkolatenční DMA, redukce přenosů
Agregace parametrů modelů v síťové infrastruktuře (INC)***

Řešíme ve spolupráci s **DYNANIC**[®]

- Čipy jako priorita a nástupce automobilového průmyslu v ČR
[Jiří Hlavenka](#) (úspěšný investor), [Patrik Budský](#) (Úřad vlády)
- Vynikající pozice Brna a Jihomoravského kraje
 - Řada technologických společností se silným R&D zaměřených na oblast polovodičů
 - **NXP**, koupený systém [Processor Expert](#) (vývojové centrum v Brně a Rožnově p.R.)
 - **On Semiconductors** (vývojové centrum v Brně a Rožnově p.R.)
 - **Honeywell** (vývojové centrum v Brně)
 - **TTTech** (vývojové centrum v Brně)
 - **Codasip**, vývojové centrum v Brně (spin-off FIT VUT)
 - ...
- **Vzniká čipové centrum s podporou Tchaj-wanu v Brně pod záštitou CyberSecurity Hubu**
- **Investice do nových čipových továren v okolí**
 - [Rožnov pod Radhoštěm On Semiconductors za 44 mld. Kč](#)
 - [Drážďany TSMC za 10 mld. EUR](#)
 - [Magdeburg, Intel \(33 mld. EUR\)](#)



• Jiří Tobola, CEO Flowmon Networks

- PhD student, CESNET leader (2003-2007)
- Jeden ze zakladatelů spin-off společnosti Flowmon Networks
- Prodal společnost v roce 2020 americké společnosti Kemp, [článek na lupa.cz](#)
- Nyní pomáhá na JIC začínajícím podnikatelům
- Události na VUT 2/2023: Nejúspěšnější spin-off na VUT



• Viktor Puš, CTO Netcope Technologies

- PhD v roce 2012, CESNET leader (2009-2017)
- Spolu s Pavlem Benáčkem návrh P4 kompilátoru
- Využití kompilátoru výrobcem procesorů, [článek na lupa.cz](#), nebo v [deníku E15](#), dnes [TurboNext.ai](#)



• Milan Dvořák, CEO Magmio

- PhD student, výzkumník (2012-2017)
- Systémy pro nízkolatenční obchodování na burze, využití FPGA karet, burzy v USA a v Evropě
- Článek estate.cz: [Závod o nulové zpoždění](#)



• Petr Kobierský

Director Digital Architecture & Design at TTTech

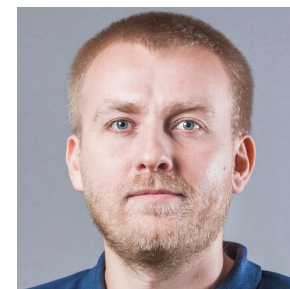
- PhD student, CESNET leader (2007)
- Diplomka roku 2009, výhra 100 tis.Kč
- Vytvoření kompletní akcelerační IDS Snort



• Pavol Korček

CEO DYNANIC Semiconductors

- PhD, FPGA design, Sales experience
- Investice od Tensor Ventures ([Euro](#), [Forbes](#), ...)



• Řada dalších ...

- Martin Louda, Infineon, Linz, Rakousko
- Tomáš Málek, Principal Digital Design Engineer at TTTech
- Tomáš Pečenka, EDA Engineer at ON Semiconductor
- ...



Jaká bude Tvoje pozice?

- Nejsou důležité počáteční znalosti, ale zodpovědnost a kreativita
- Excelentní tým v oblasti bezpečnost počítačových sítí a HW akcelerace
- Můžete začít pracovat již teď na zajímavých tématech BP / DP
- Za práci na řešených projektech získáte finanční odměnu
- Unikátní vybavení a přístup do infrastruktury sítě CESNET



Děkuji za pozornost