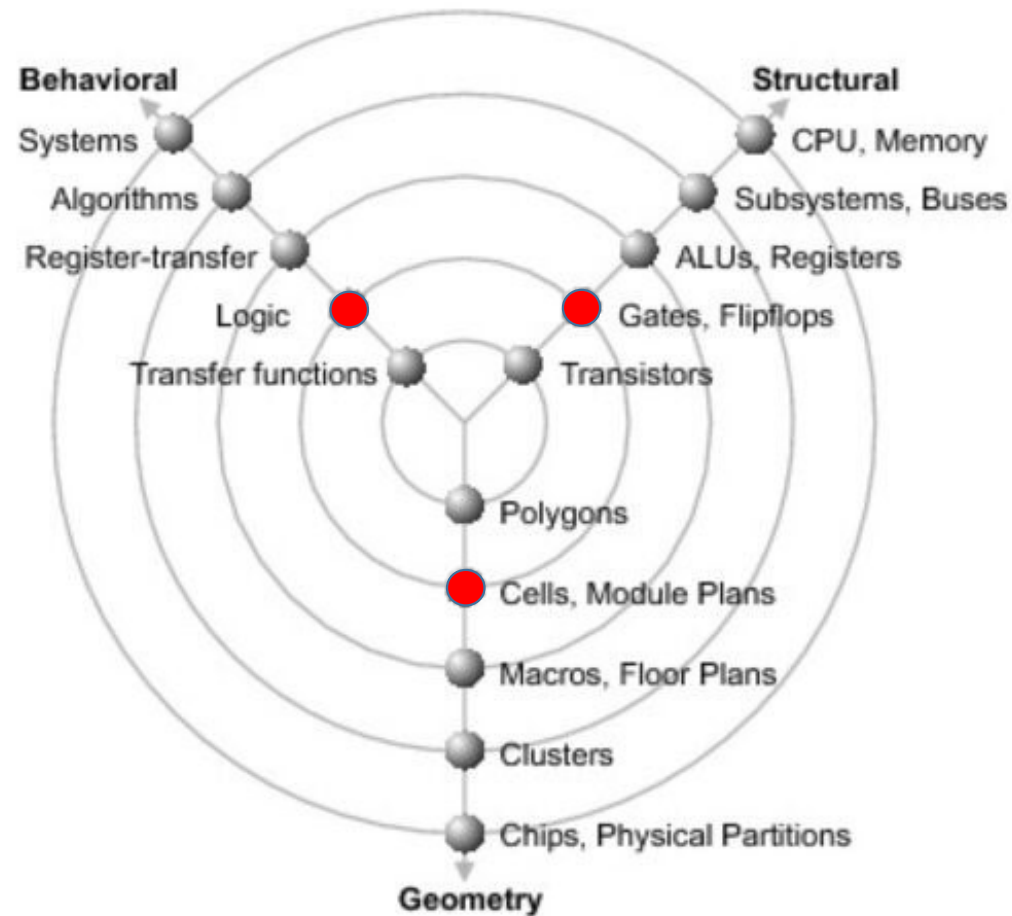


Číslicová elektronika

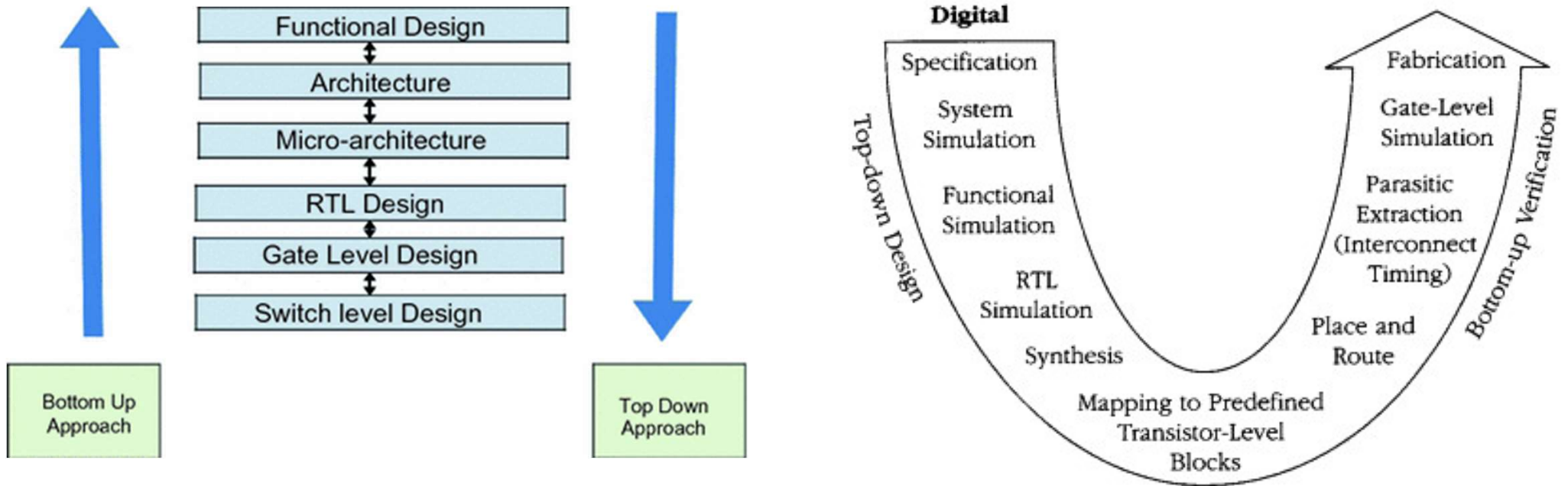
Logická hradla a jejich vlastnosti z pohledu elektroniky

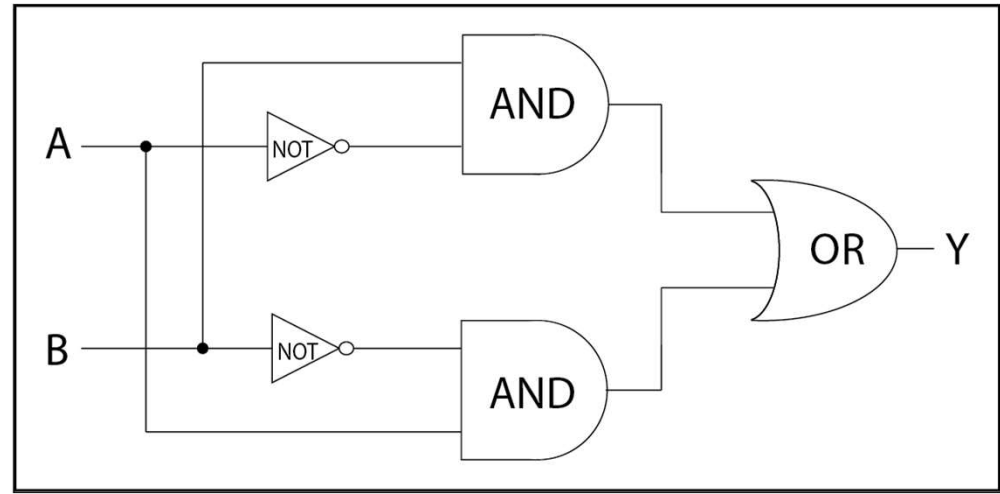
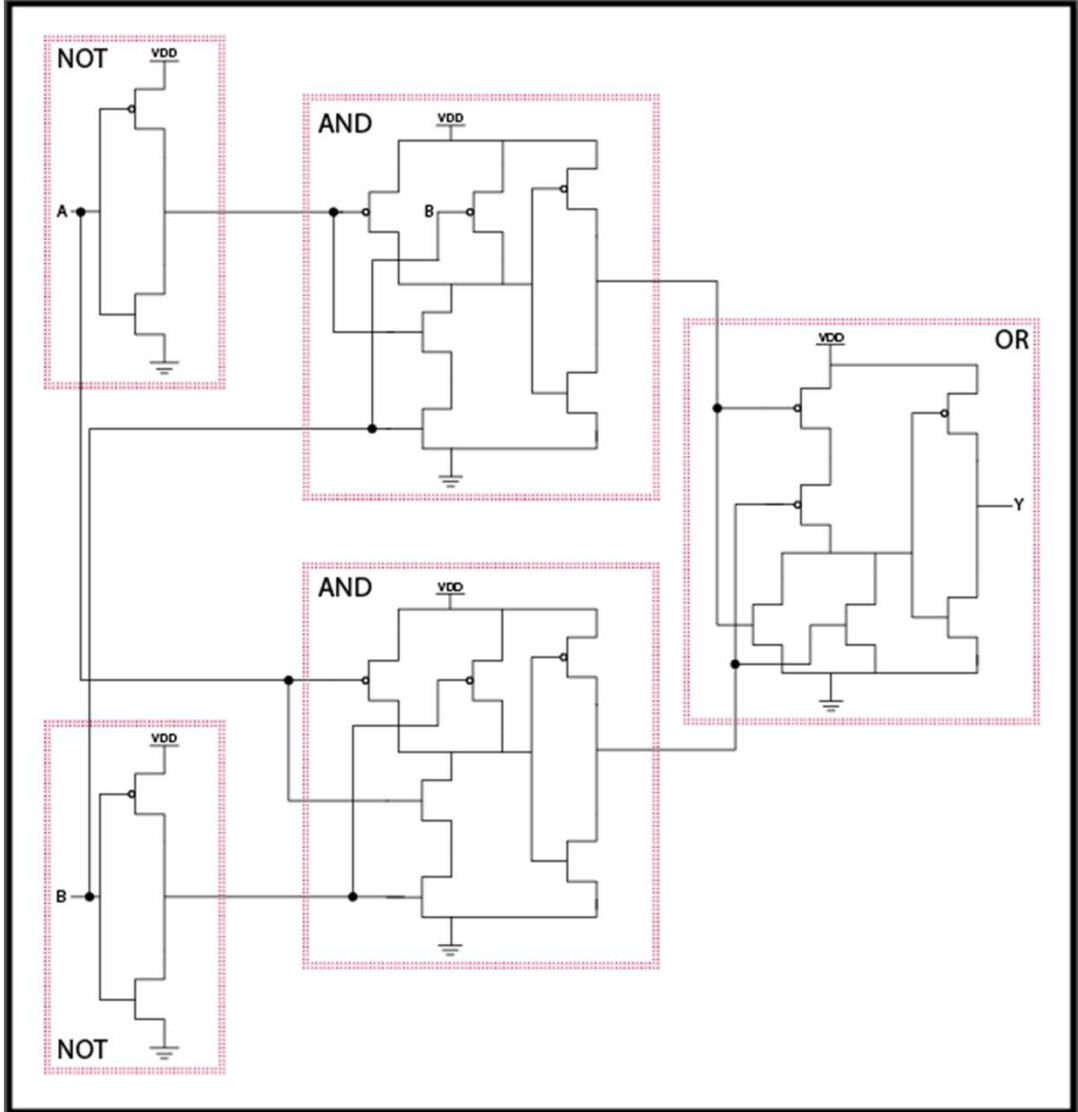
Proč je hradlo tak významný obvod?

Můžeme stavět obvody z hradel a zapomenout na tranzistory:



Dekompozice je významný princip, jak se vyrovnat se složitostí současných elektronických obvodů.



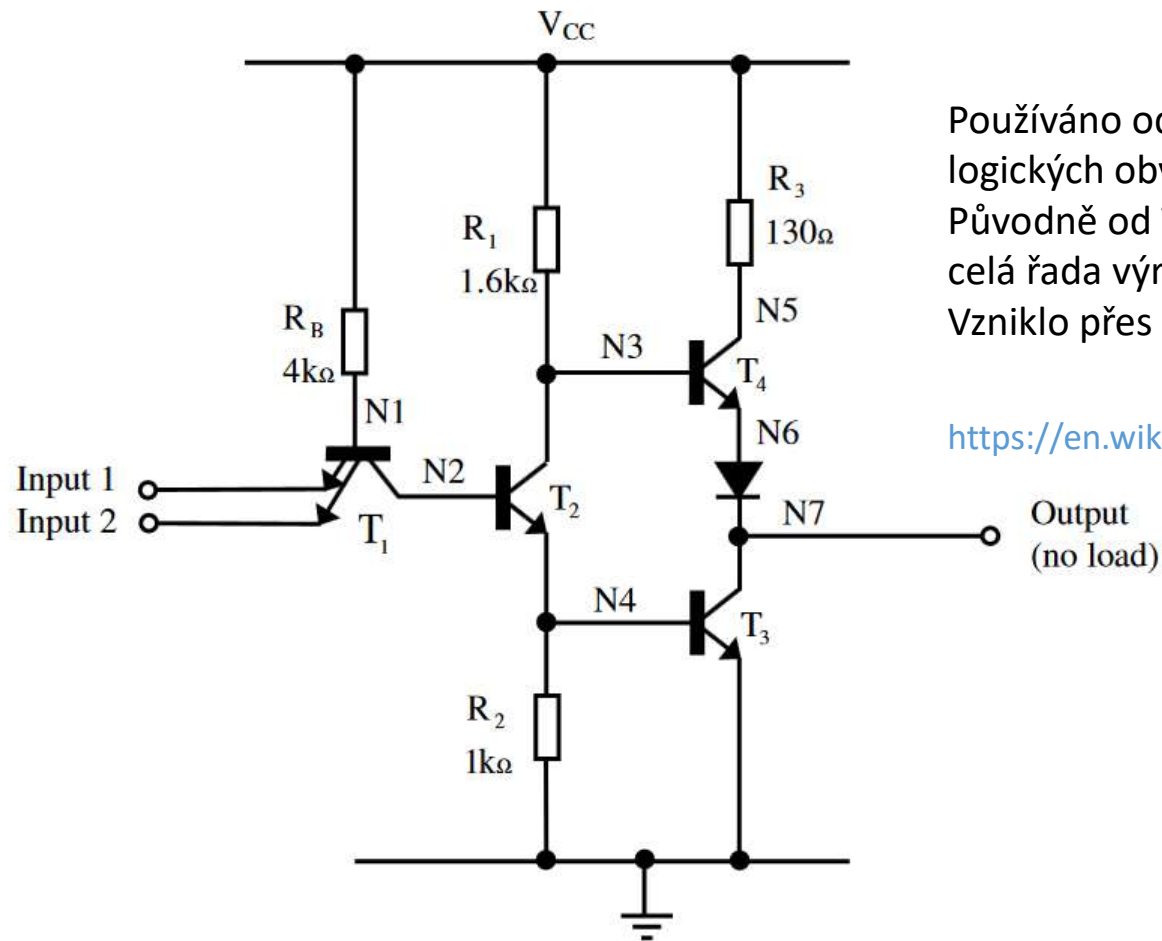


Krok na vyšší úroveň

- Namísto spojitých funkcí (soustav lineárních rovnic, diferenciálních rovnic) můžeme řešit **jen diskrétní funkce** (tabulka, mapa).
- Namísto výpočtů napětí a proudů máme **jen dvě logické úrovně** (díky odstupu mezi nimi neřešíme jejich zkreslování různými odpory, šumem).
- Namísto setrvačnosti díky kapacitám a indukčností obvykle **vzorkujeme v diskrétních okamžicích** (stačí, když udržíme kapacity a indukčnosti pod určitým limitem a podle toho nastavíme hodinový signál).

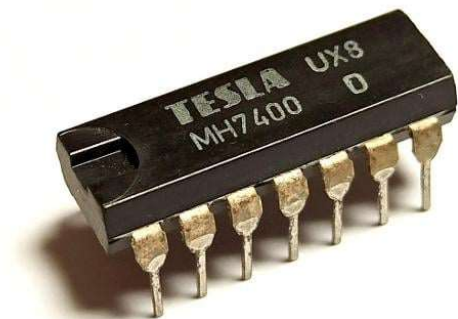
Toto vše přispívá k tomu, že se nám i hodně složitý obvod dobře navrhuje (resp. komplexita obvodu, který zvládneme vymyslet, je řádově vyšší).

Hradlo TTL – realizace logické funkce pomocí bipolárních tranzistorů



Používáno od poloviny 60. let 20. stol. pro realizaci logických obvodů (i počítačů).
Původně od Texas Instruments, později čipy TTL vyráběla celá řada výrobců (včetně např. Tesly v Československu).
Vzniklo přes 1000 typů obvodů v několika řadách.

https://en.wikipedia.org/wiki/List_of_7400-series_integrated_circuits



Počítač EC-1033

(SSSR 1976)

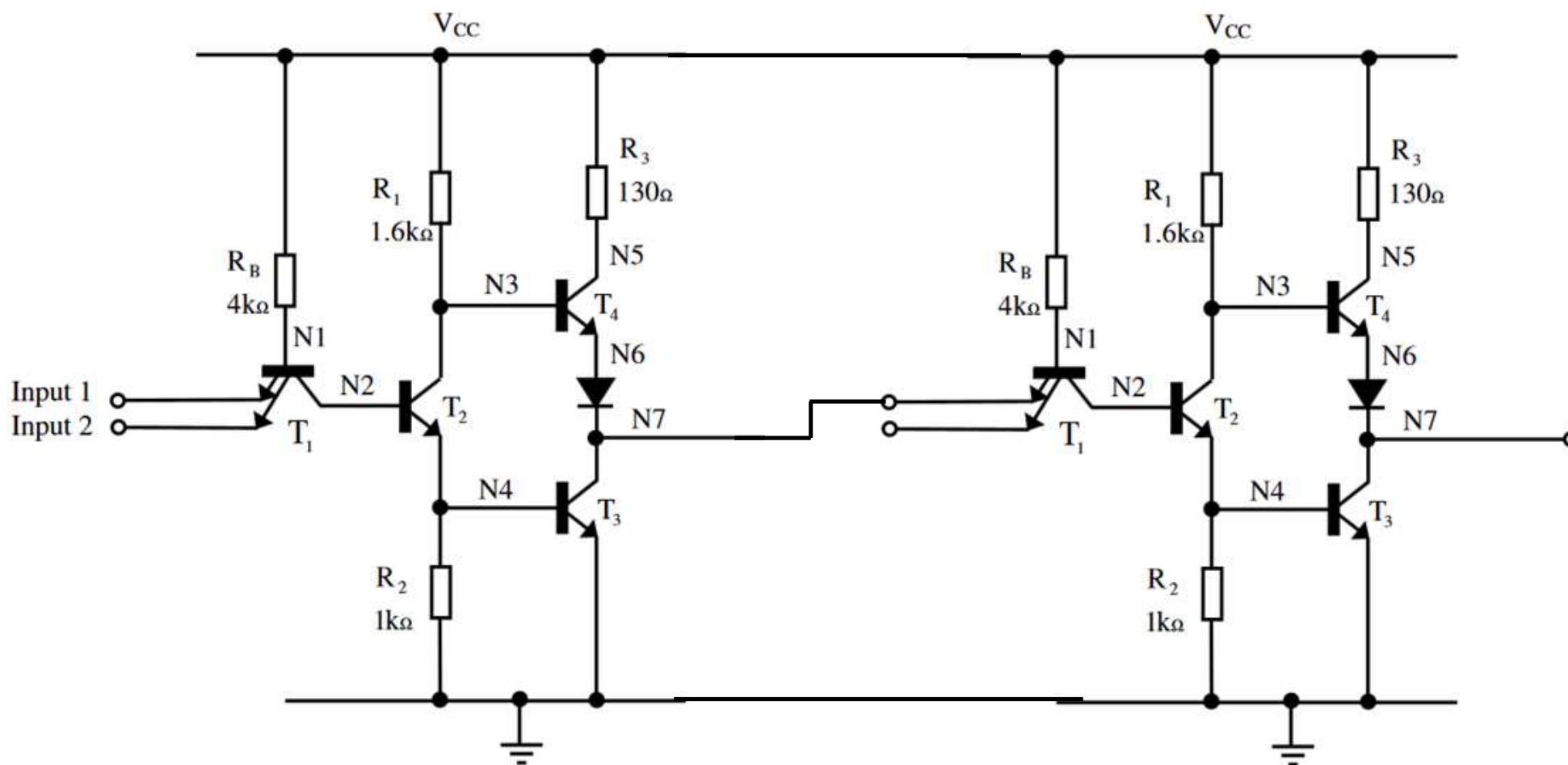
Sestaven z obvodů TTL,
výkon asi 0,2 MIPS,
256-512 KB paměti.

Plocha 120 m².

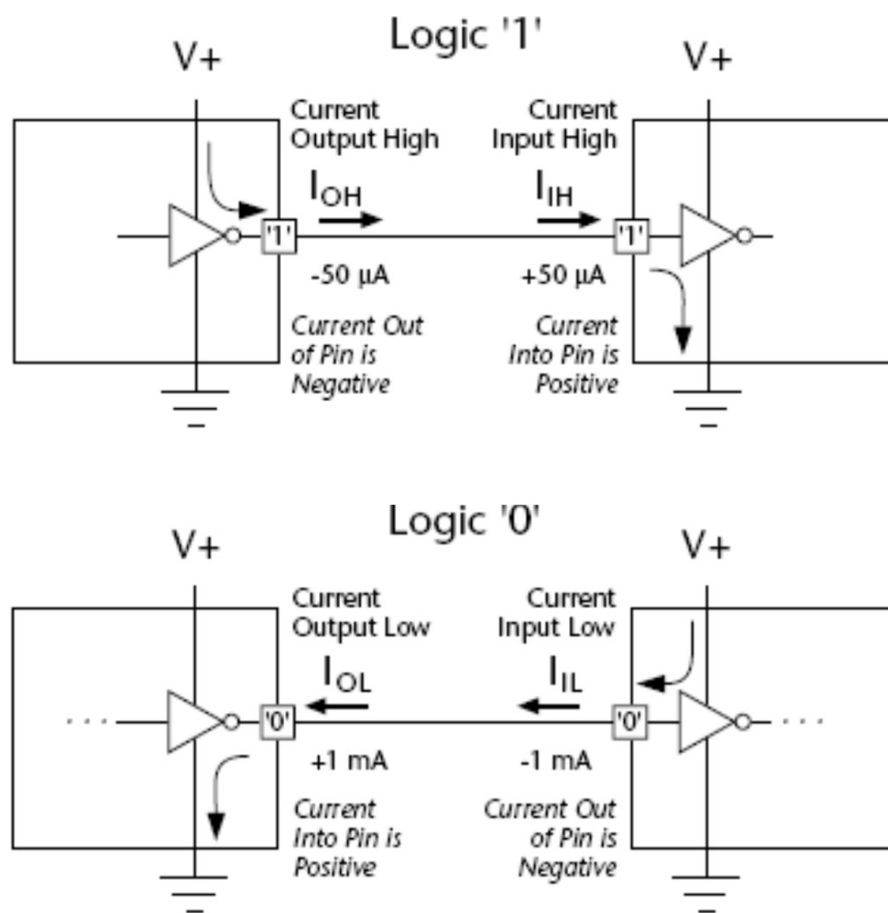
Příkon 40 kW.



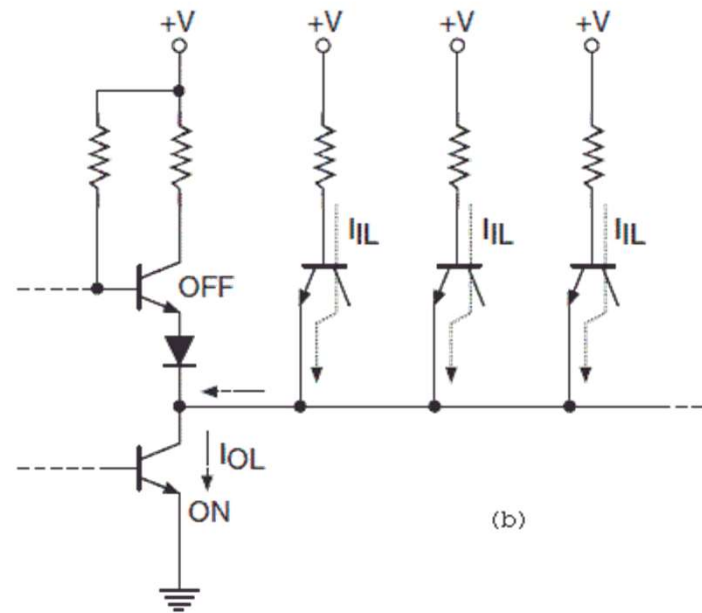
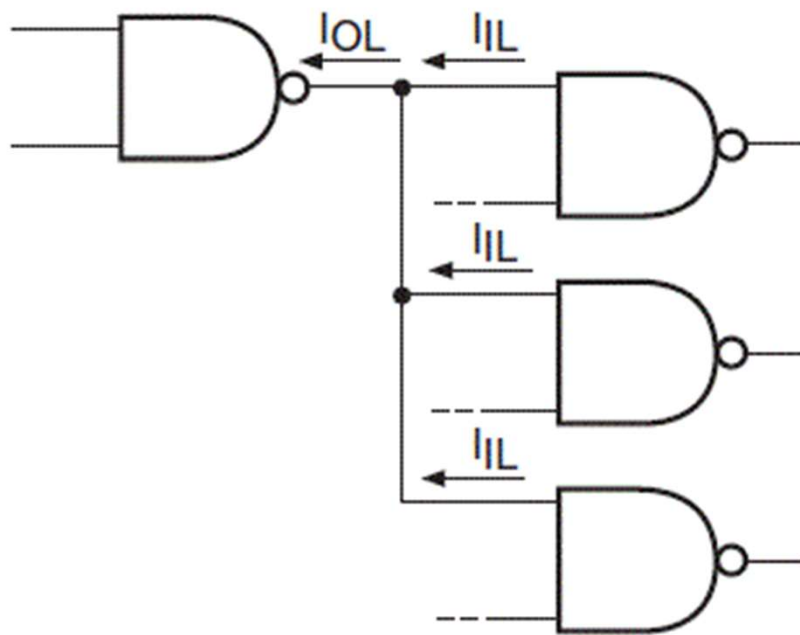
Logická síť – propojení hradel



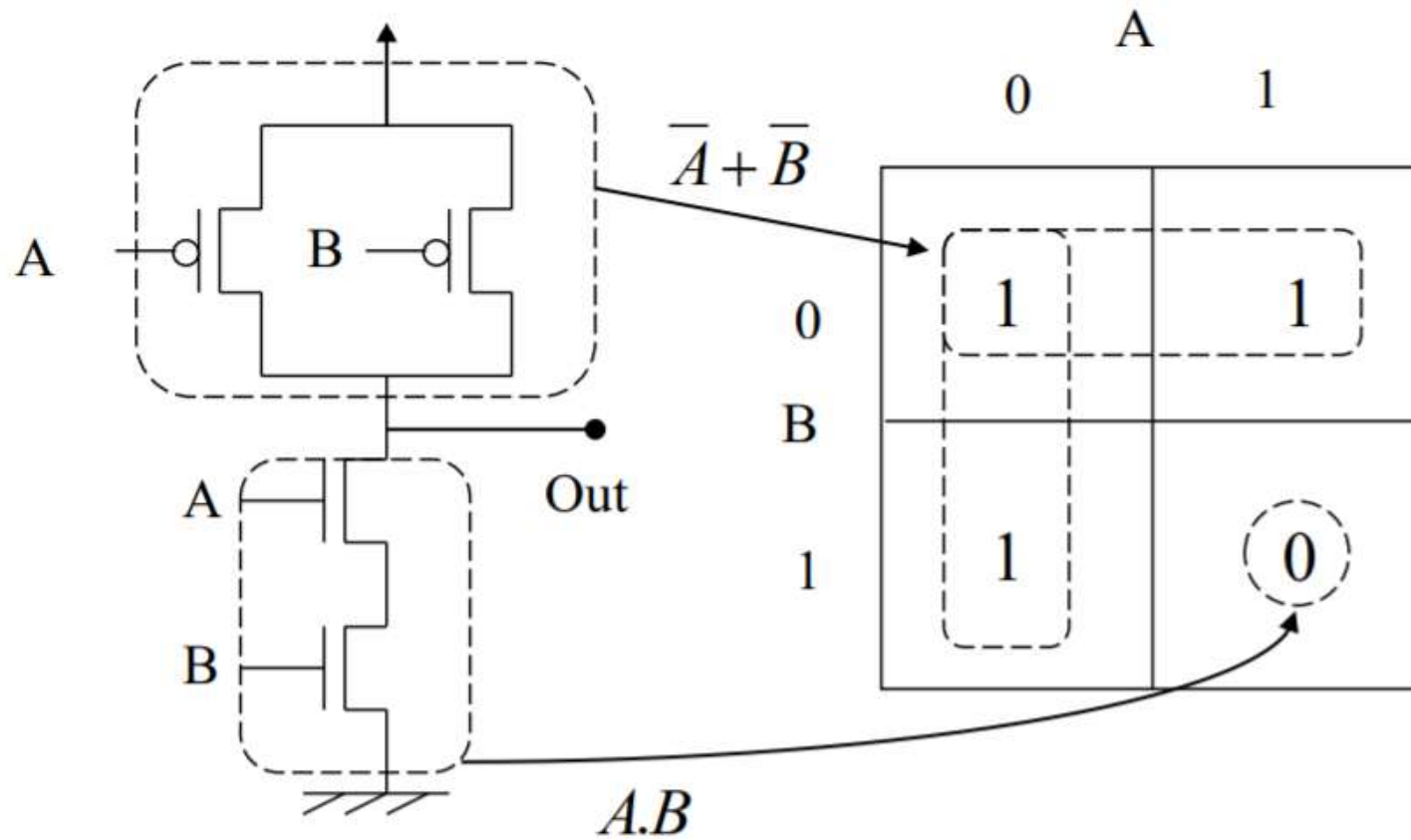
Propojení hradel



„Fan Out“ – kolik vstupů „utáhne“ jeden výstup?



Hradlo CMOS – realizace logické funkce pomocí FET



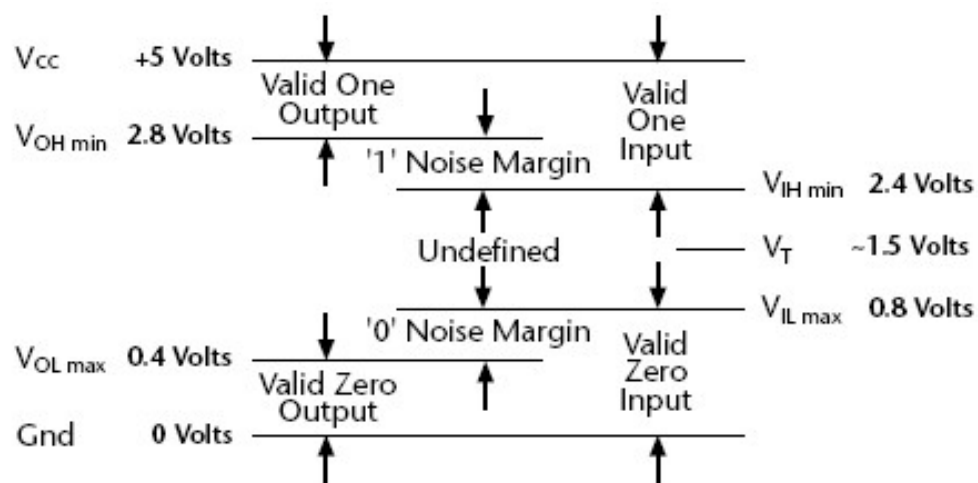
Výhody CMOS technologie

- Jednoduchá hradla (struktury),
- snadná výroba na čipu (v ploše), dobře zmenšovatelné,
- „nulová“ statická vlastní spotřeba,
- vysoký vstupní odpor ($10^{12}\Omega$) , nízký výstupní odpor \Rightarrow velký „fan out“ (asi 50),
- velká šumová odolnost.

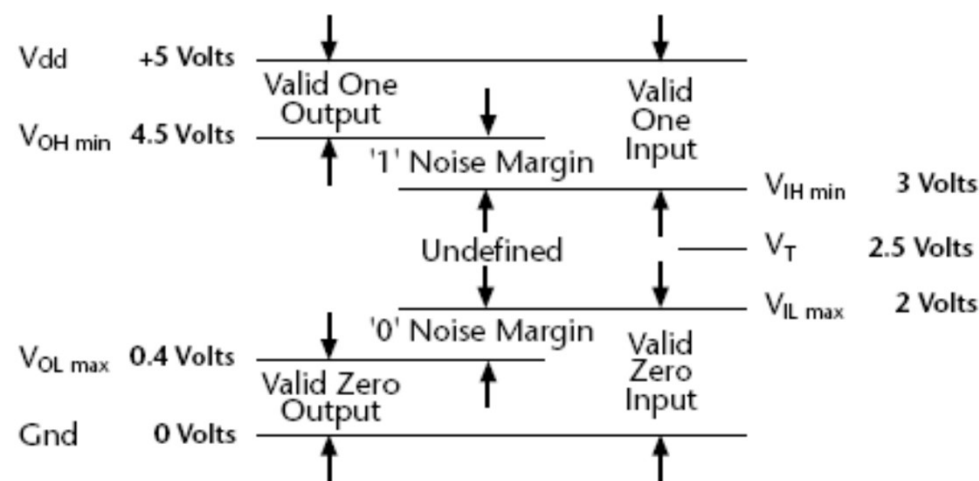
Na druhou stranu, velký vstupní odpor znamená citlivost na šum na nezapojených vstupech!
Doporučuje se raději všechny nezapojené vstupy připojit buď na zem nebo na Vdd.

Logické úrovně

TTL



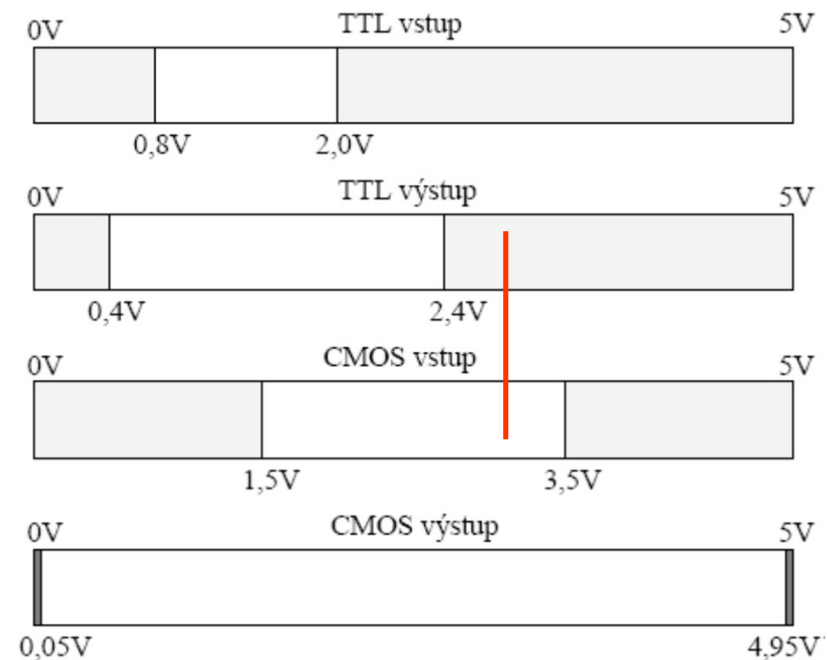
CMOS



Kombinování technologií - potenciální problém

- TTL výstup na CMOS vstup:
- V log. „1“ nemusí mít TTL výstup dostatečné napětí na to, aby to CMOS vstup chápal jako jasnou log. „1“.
- V praxi to „většinou“ dopadne dobře, protože TTL dává víc a CMOS „uzná“ jako „1“ i menší napětí. Hradlo nemůže být v neurčitém stavu. Musí se překloubit na tu či onu stranu. Pro napětí $> 2,5V$ „vyhrává“ log. „1“.

Chceme na to spoléhat?



Napájení číslicových obvodů

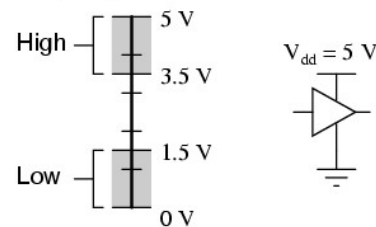
GND = 0V

historicky $V_{dd} = 5V$

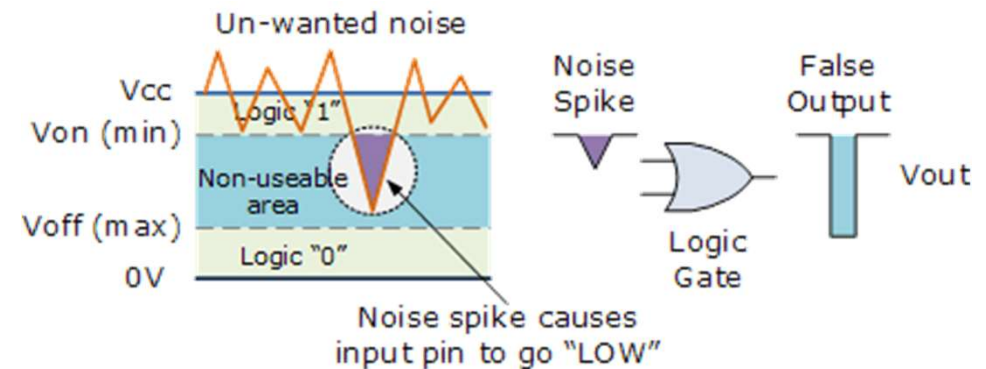
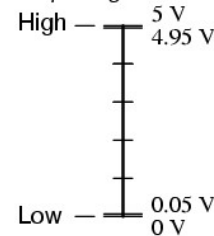
nyní se V_{dd} snižuje: 3,3V, 2,5V, 1,8V, 1,5V, 1,2V, 1V, ...

Device Type	Logic 0	Logic 1
TTL	0 to 0.8v	2.0 to 5v (V_{CC})
CMOS	0 to 1.5v	3.0 to 18v (V_{DD})

Acceptable CMOS gate input signal levels



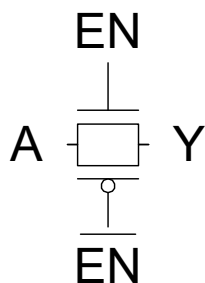
Acceptable CMOS gate output signal levels



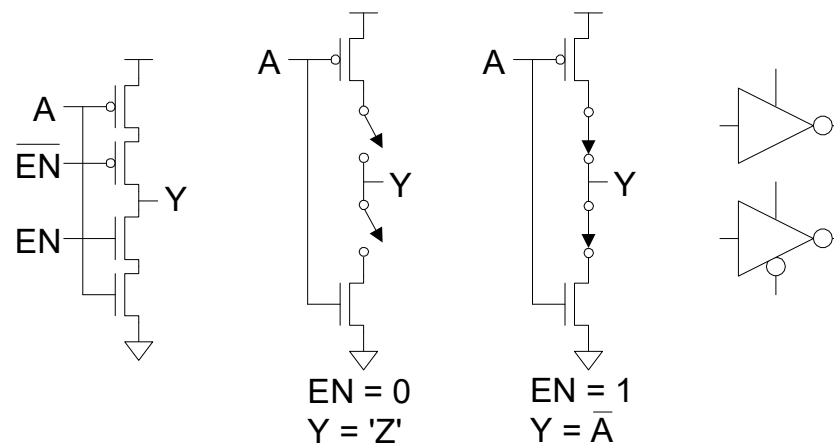
„Třetí“ stav ?

Dva stavy jsou jasné – log. 0 a log. 1 – napětí kladného pólu zdroje či země (referenční uzel obvodu připojený v číslicových obvodech na záp. pól zdroje)

Ale třetí? Bývá to stav tzv. vysoké impedance, kdy bod obvodu ve třetím stavu není připojen ani na zem, ani na +. měl by viset „ve vzduchu“ (oddělen od obvodu vysokou impedancí, proto se někdy třetí stav označuje jako Z).

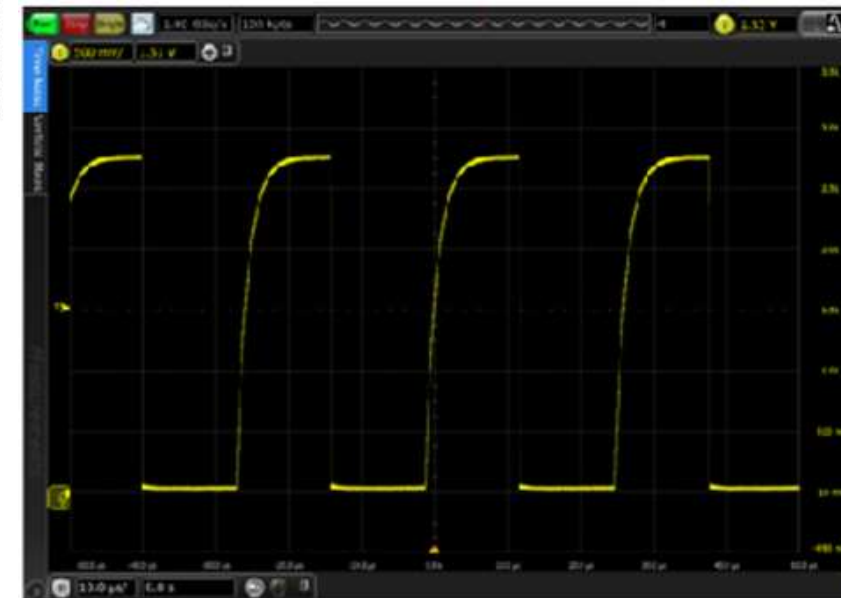
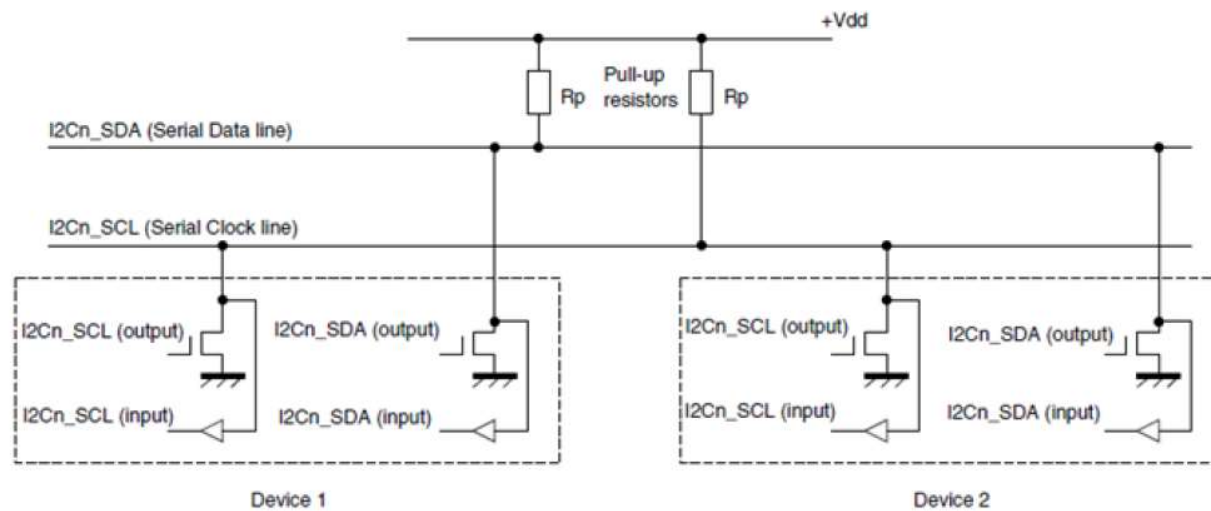


Třístavové hradlo

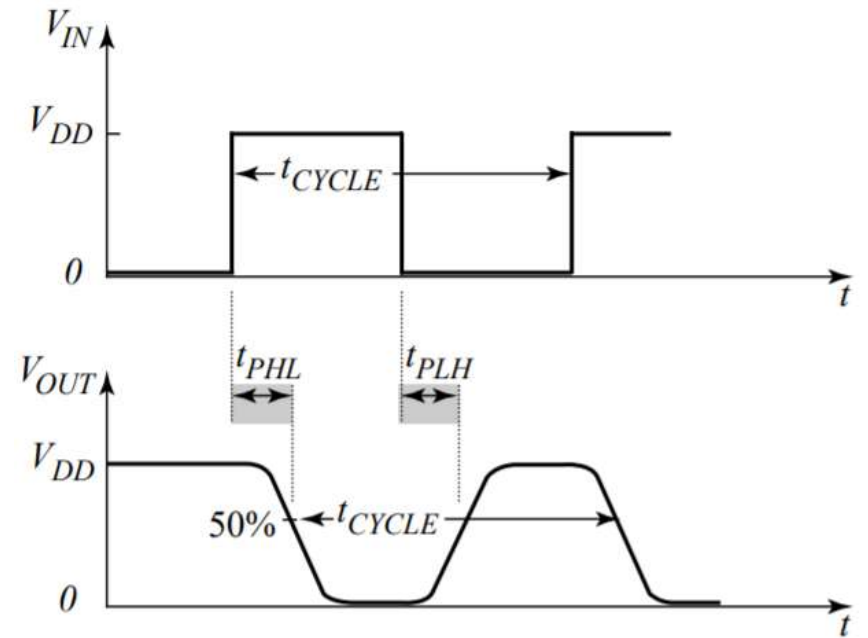
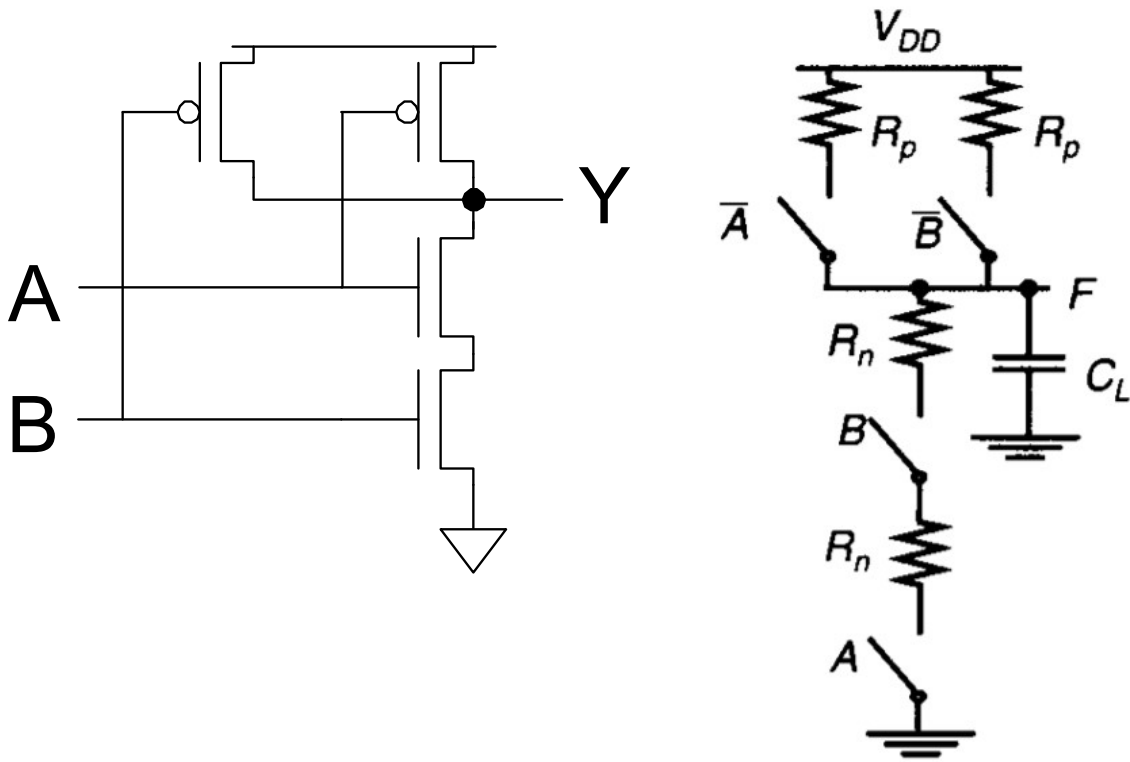


Třístavové invertující hradlo

Otevřený kolektor / Open Drain



Rychlost hradla? ... Propagation Delay! (t_{PD})



$$t_{PLH} \approx R_p \cdot C_L$$

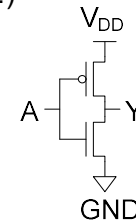
$$t_{PHL} \approx 2R_n \cdot C_L$$

$$C_L = C_{gate} + C_{wire} + C_{drain-to-substrate-N} + C_{drain-to-substrate-P}$$

Spotřeba CMOS obvodu

- $P_{\text{total}} = P_{\text{dynamic}} + P_{\text{static}}$
- Dynamic power: $P_{\text{dynamic}} = P_{\text{switching}} + P_{\text{shortcircuit}}$
 - Switching load capacitances (sestava hradlo – izolace – substrát je kondenzátor!)
 - Short-circuit current (co projde shora dolů, když se mění stav)

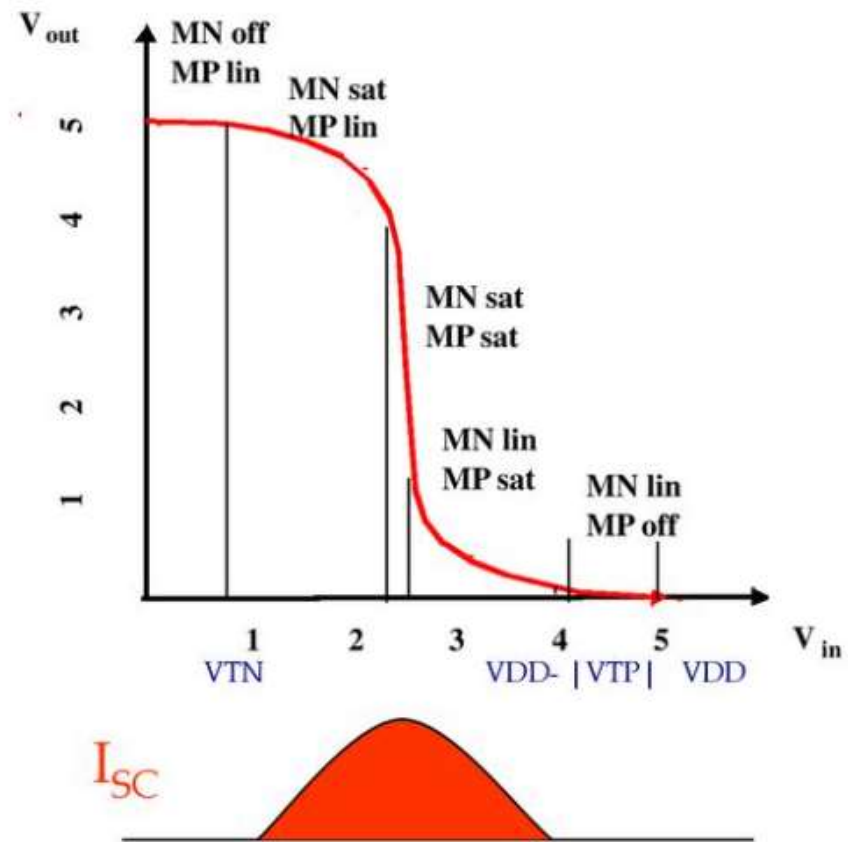
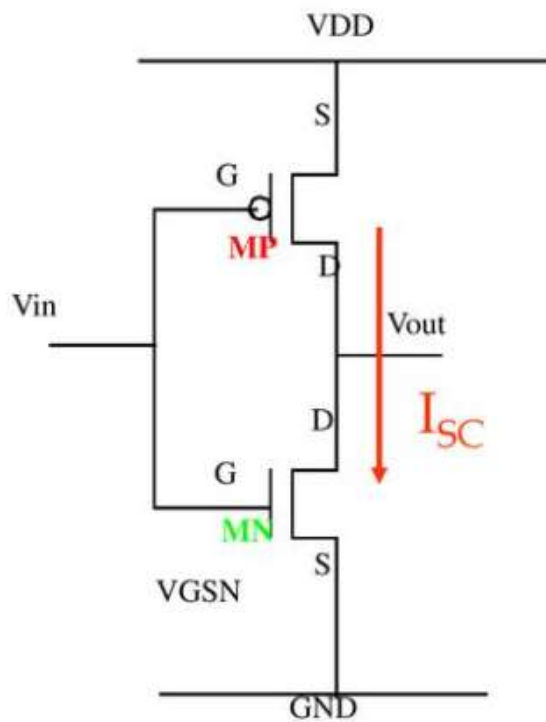
... asi nejpodstatnější složka: $P_{\text{switching}} = \alpha C V_{DD}^2 f$



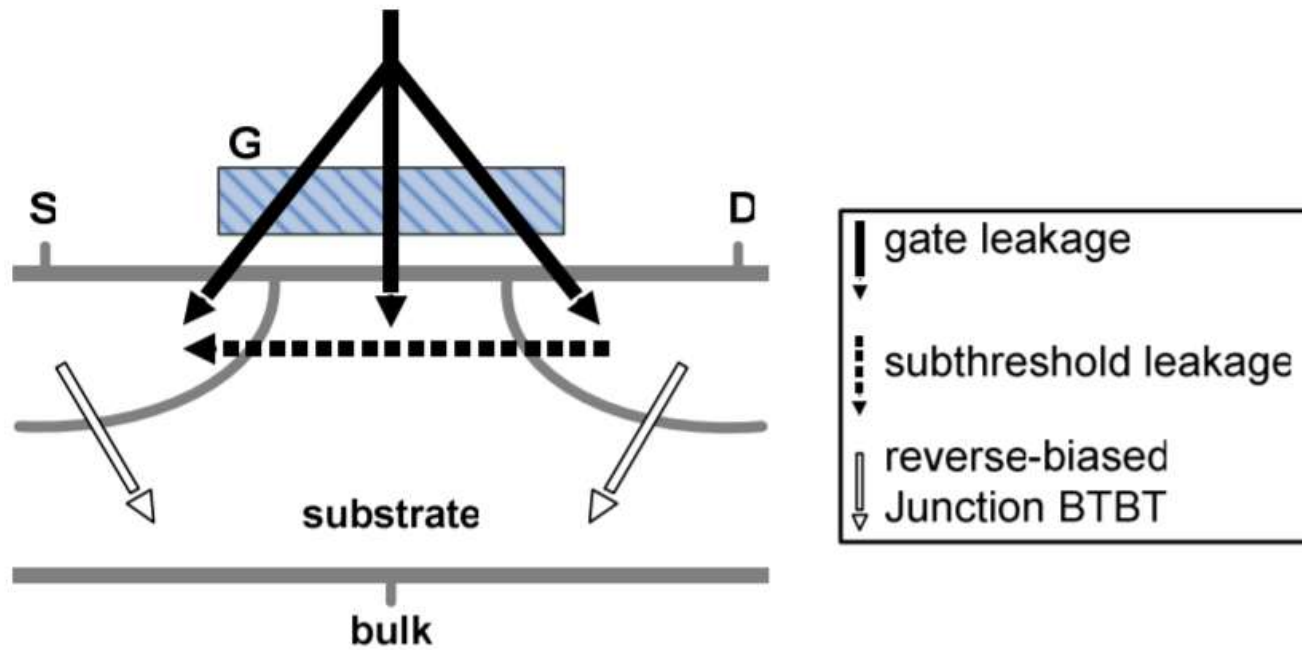
- Static power: $P_{\text{static}} = (I_{\text{sub}} + I_{\text{gate}} + I_{\text{junct}} + I_{\text{contention}})V_{DD}$
 - Subthreshold leakage (co propouští tranzistory zavřeným kanálem - když je $V_{GS} < V_{th}$)
 - Gate leakage (co proteče izolací mezi hradlem a kanálem)
 - Junction leakage (co projde závěrně polarizovanými přechody)
 - Contention current (statické otevření horní i dolní poloviny)

Short-circuit current

<https://slideplayer.com/slide/12933412/>

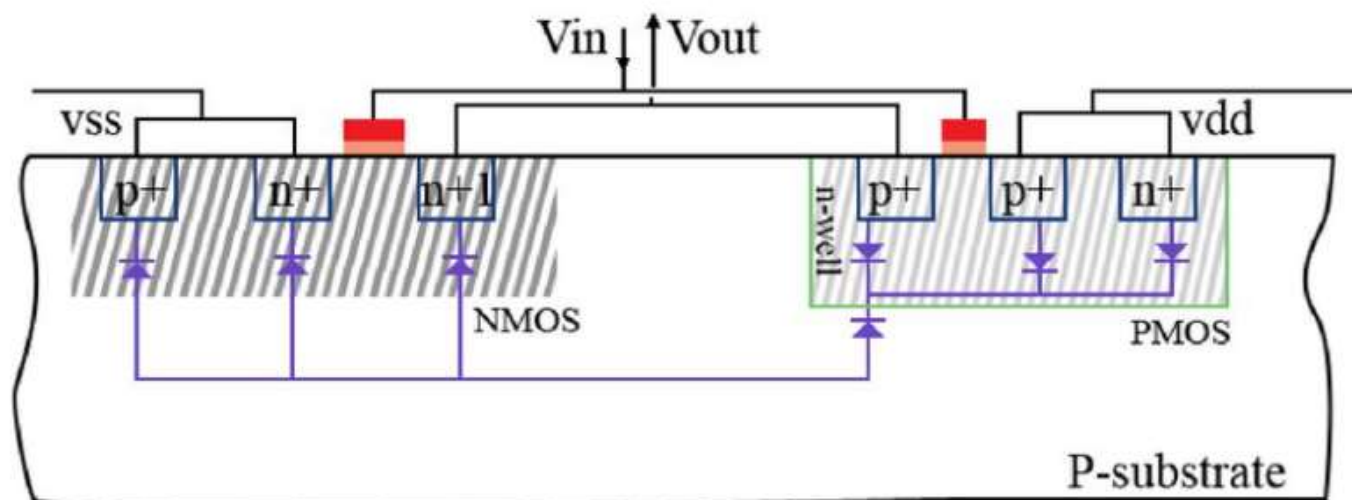


Static power leakage



Junction leakage

Proud, který prochází závěrně polarizovanými PN přechody.

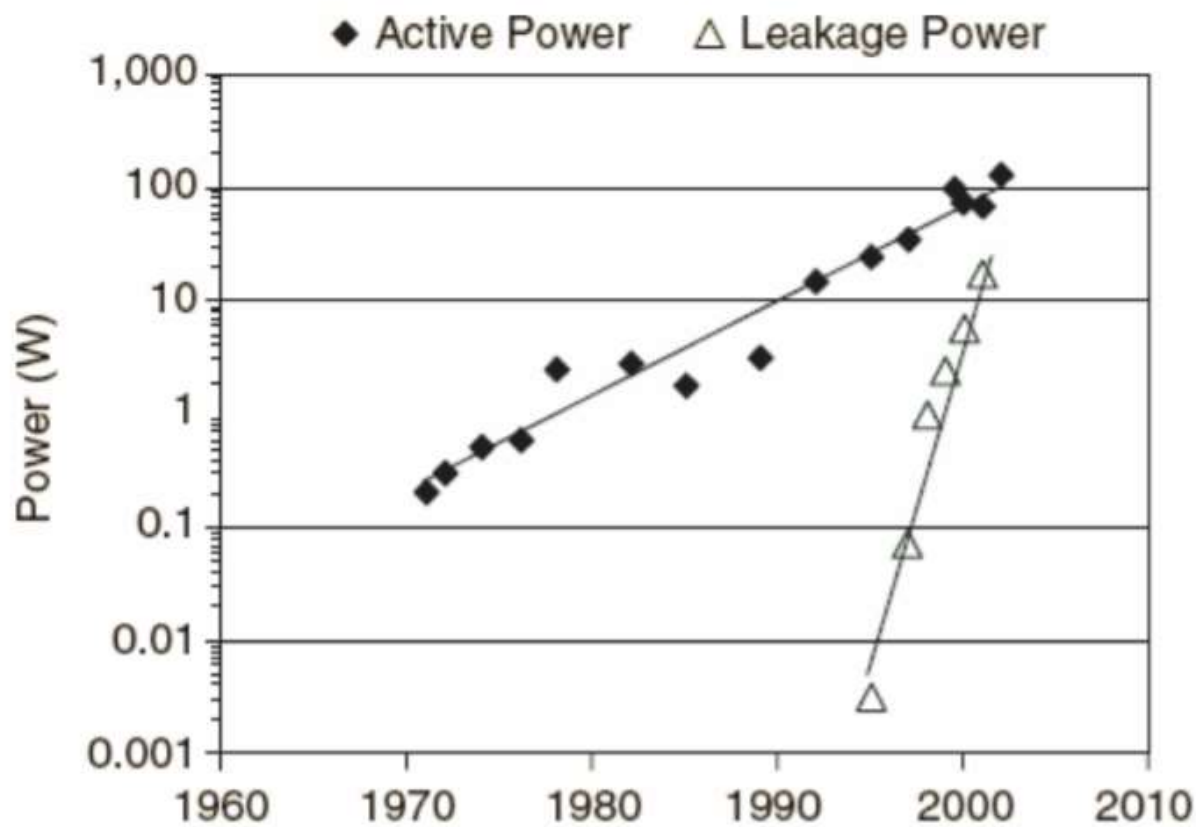


Gate leakage

Proud, který prochází izolací mezi elektrodou G a kanálem/substrátem.

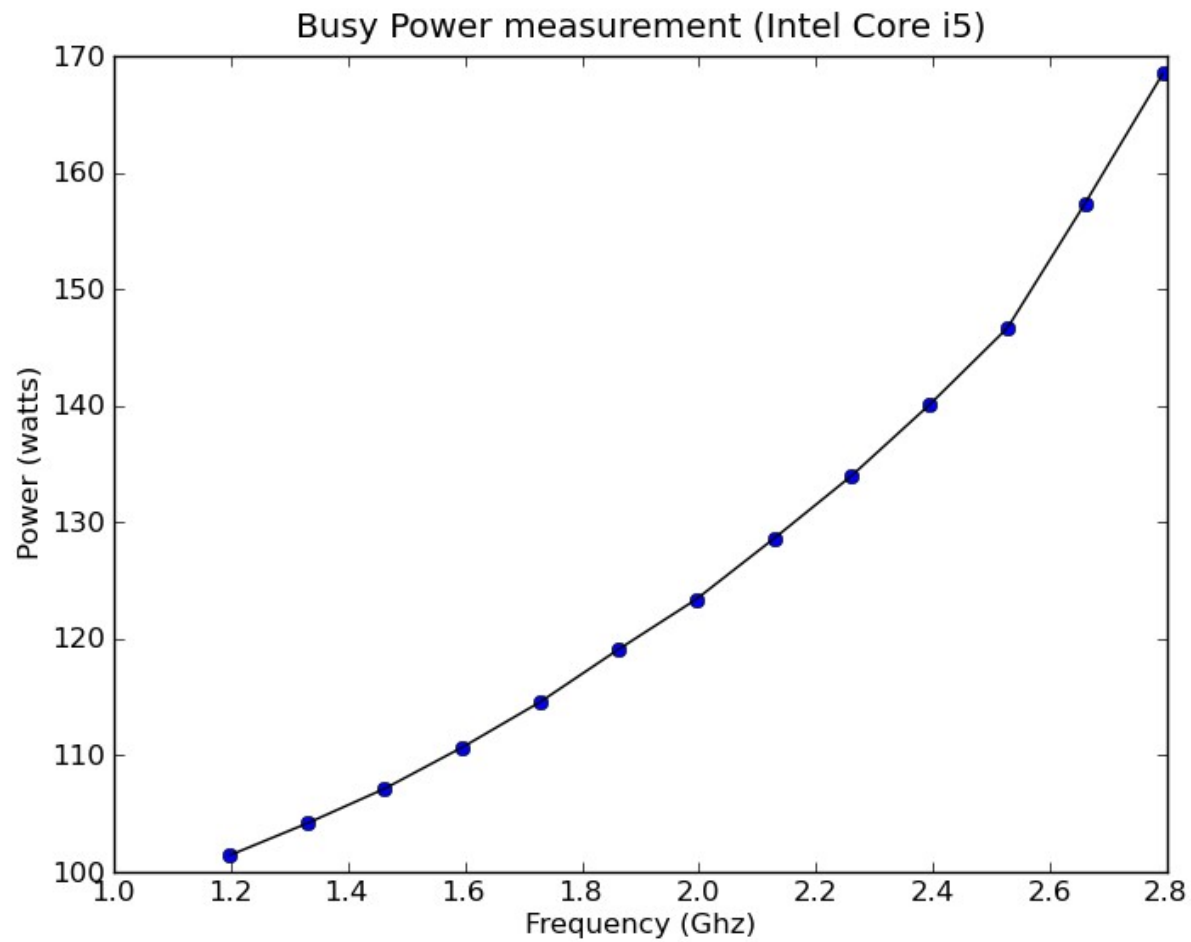
- Jeho velikost velmi závisí na tloušťce oxidu (bývá jen jednotky nebo malé desítky atomů) a napětí V_{gs} ,
- řádově menší u pMOS tranzistorů než u nMOS,

Podíl „průsaků“ proudu na spotřebě CMOS



Původně byla statická spotřeba CMOS obvodů téměř zanedbatelnou složkou, ale se zmenšováním tranzistorů začíná být postupně čím dál více významná.

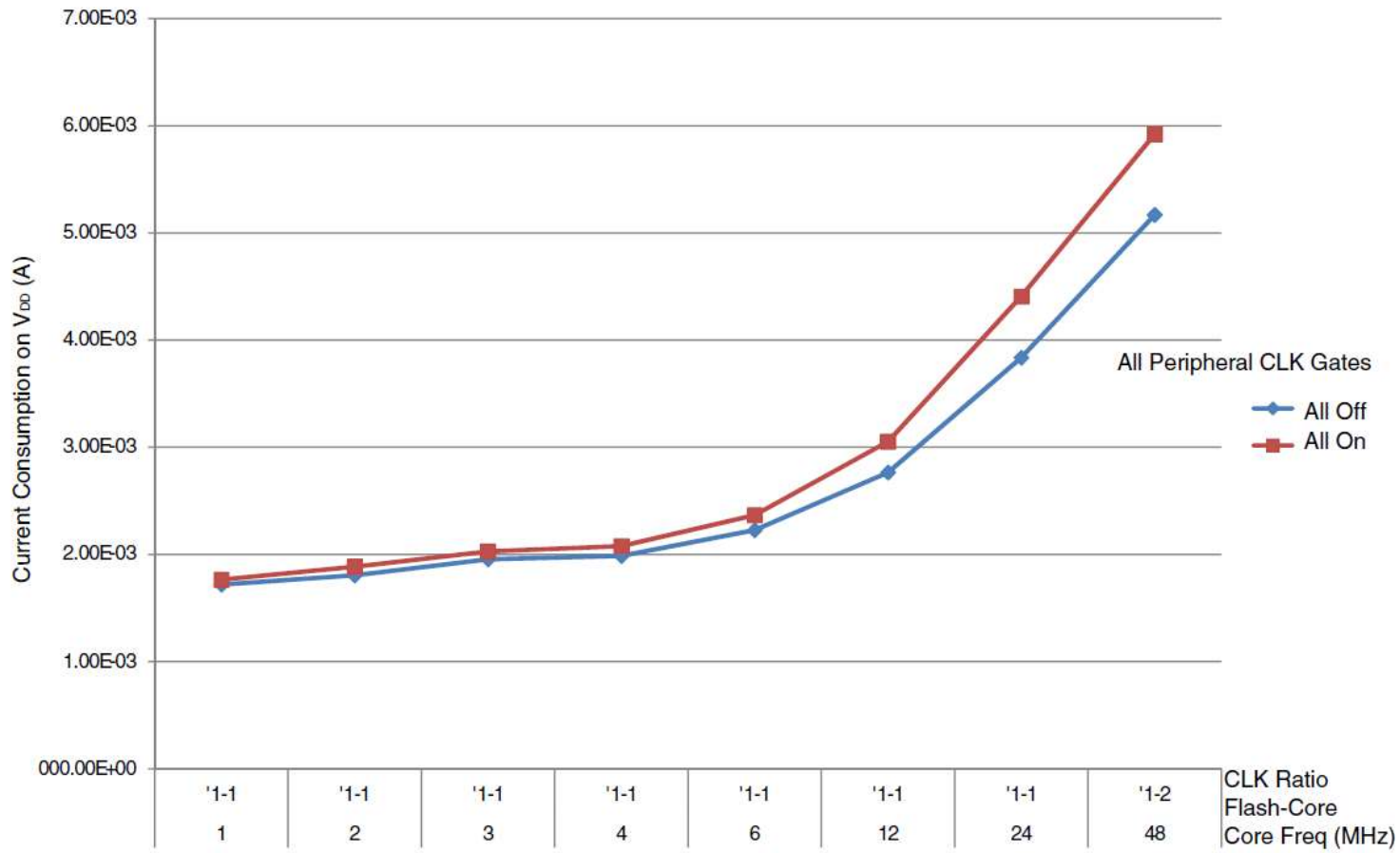
Spotřeba procesoru vs. frekvence



Spotřeba mikrokontroléru Kinetis KL05

Run Mode Current VS Core Frequency

Temperature = 25, V_{DD} = 3, CACHE = Enable, Code Residence = Flash, Clocking Mode = FBE



Dennard Scaling (1974)

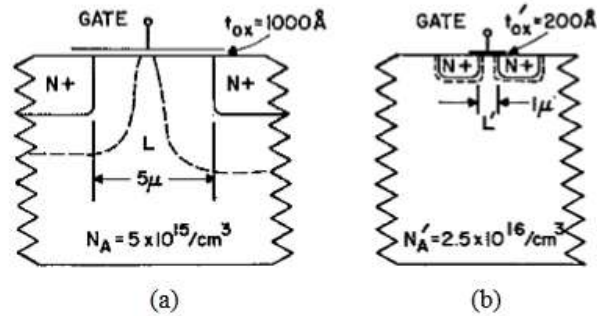
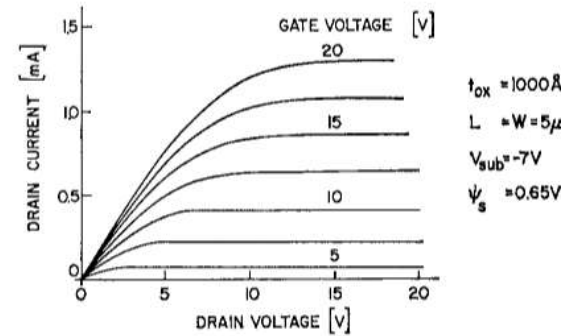
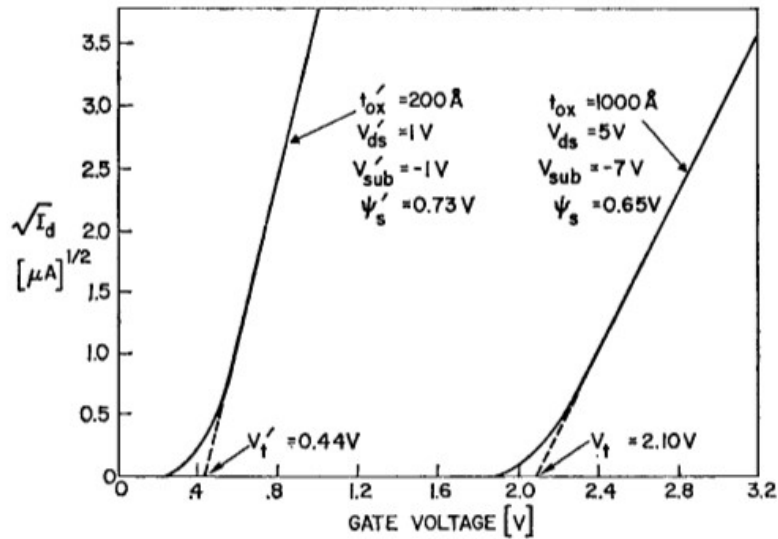
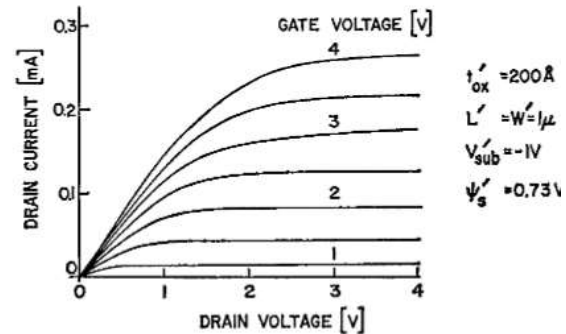


Fig. 1. Illustration of device scaling principles with $\kappa = 5$. (a) Conventional commercially available device structure. (b) Scaled-down device structure.



(a)



(b)

Fig. 2. Experimental drain voltage characteristics for (a) conventional, and (b) scaled-down structures shown in Fig. 1 normalized to $W/L = 1$.

Dennard Scaling

- Princip snižování napětí při zmenšování tranzistorů umožňoval nárůst přepínací frekvence.
- To proto, že se držela „power density“ konstantní (napětí a proud klesal s rozměry tranzistoru).
- Kolem roku 2006 toto přestalo platit.
- Zvyšování výpočetního výkonu už dále nešlo dělat jen frekvencí, bylo třeba nasadit jiné finty (např. vícejádrové procesory)

Dennard Scaling

